

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-295863

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H02M 7/48

H02M 7/5387

(21)Application number : 11-099329

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.04.1999

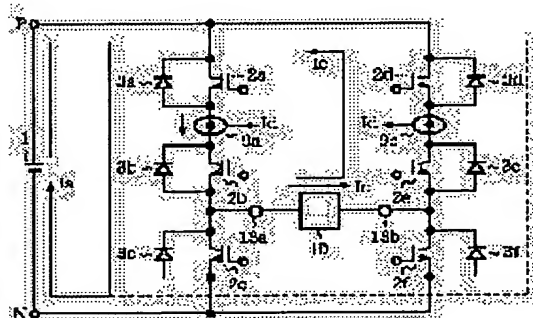
(72)Inventor : OKAYAMA HIDEO
SHIMOMURA YASUHIITO
YAMAGUCHI HIROAKI

(54) INVERTER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the size of an inverter device and, at the same time, to improve the reliability of the device.

SOLUTION: When a load current I_o is smaller than a threshold I_t at normal time, a self-extinguishing semiconductor element 2a is controlled to a turned-on state. When self-extinguishing semiconductor elements 2b and 2c become impossible to properly control a load current due to the abnormality of a current control system while the load current I_o is smaller than the threshold I_t , a short-circuiting current I_s may become larger than the threshold I_t . When the output I_d of a current detecting circuit 9a exceeds the threshold I_t , the semiconductor element 2a is turned off and the overcurrent is interrupted by the element 2a.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-295863

(P2000-295863A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 2 M 7/48

H 0 2 M 7/48

M 5 H 0 0 7

7/5387

7/5387

C

Z

審査請求 未請求 請求項の数17 O L (全 30 頁)

(21) 出願番号

特願平11-99329

(22) 出願日

平成11年4月6日 (1999. 4. 6)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岡山 秀夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 下村 弥寿仁

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

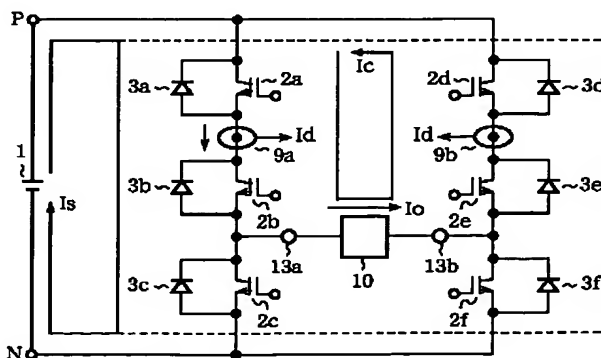
最終頁に続く

(54) 【発明の名称】 インバータ装置

(57) 【要約】

【課題】 信頼性の高いインバータ装置を得る。

【解決手段】 通常時において、負荷電流 I_o がしきい値 I_t より小さい場合、自己消弧型半導体素子 2 a はオン状態に制御される。このとき、図示せぬ電流制御系の異常などにより自己消弧型半導体素子 2 b, 2 c が負荷電流を正しく制御できなくなると、短絡電流 I_s がしきい値 I_t 以上になる場合がある。電流検出回路 9 a の出力 I_d がしきい値 I_t 以上になると、自己消弧型半導体素子 2 a がターンオフされ、過電流は自己消弧型半導体素子 2 a により遮断される。



1: 直流電圧回路

2a, 2d: 自己消弧型半導体素子 (遮断用自己消弧型半導体素子)

2b, 2e: 自己消弧型半導体素子 (第1の自己消弧型半導体素子)

2c, 2f: 自己消弧型半導体素子 (第2の自己消弧型半導体素子)

3a, 3d: フリーホイールダイオード (遮断用フリーホイールダイオード)

3b, 3e: フリーホイールダイオード (第1のフリーホイールダイオード)

3c, 3f: フリーホイールダイオード (第2のフリーホイールダイオード)

10: 負荷回路

【特許請求の範囲】

【請求項 1】 複数の自己消弧型半導体素子と前記複数の自己消弧型半導体素子に逆並列に接続されるフリーホイールダイオードとを有し、直流電圧回路に接続されるインバータブリッジを所定の数だけ備え、負荷回路に電力を供給するインバータ装置において、

前記直流電圧回路から前記インバータブリッジを介して前記直流電圧回路に戻る第 1 の閉回路並びに前記インバータブリッジから前記負荷回路および他のインバータブリッジを介して元のインバータブリッジに戻る第 2 の閉回路において共通する経路に、前記インバータブリッジ毎に挿入され、異常電流を遮断する遮断用自己消弧型半導体素子と、

前記遮断用自己消弧型半導体素子に逆並列に接続される遮断用フリーホイールダイオードと、

前記遮断用自己消弧型半導体素子に導通する電流が所定のしきい値以上になった場合に前記遮断用自己消弧型半導体素子をターンオフさせるゲート制御回路とを備えることを特徴とするインバータ装置。

【請求項 2】 遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する電圧上昇率抑制回路を備えることを特徴とする請求項 1 記載のインバータ装置。

【請求項 3】 複数の自己消弧型半導体素子と前記複数の自己消弧型半導体素子に逆並列に接続されるフリーホイールダイオードとを有し、直流電圧回路に接続される 2 レベルインバータブリッジを所定の数だけ備え、負荷回路に電力を供給するインバータ装置において、

互いに直列に接続され、所定のスイッチング信号に従ってインバータ駆動される第 1 および第 2 の自己消弧型半導体素子と、

前記第 1 および第 2 の自己消弧型半導体素子にそれぞれ逆並列に接続される第 1 および第 2 のフリーホイールダイオードと、

前記第 1 および第 2 の自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第 1 および第 2 のゲート駆動回路と、

前記第 1 および第 2 の自己消弧型半導体素子に直列に接続され、異常電流を遮断する遮断用自己消弧型半導体素子と、

前記遮断用自己消弧型半導体素子に逆並列に接続される遮断用フリーホイールダイオードと、

前記遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する電圧上昇率抑制回路と、

前記遮断用自己消弧型半導体素子にゲート信号を供給して駆動する第 3 のゲート駆動回路と、

前記遮断用自己消弧型半導体素子に導通する電流が所定のしきい値以上になった場合に前記第 3 のゲート駆動回路を制御して前記遮断用自己消弧型半導体素子をターンオフさせるゲート制御回路とを前記 2 レベルインバータブリッジ毎に備えることを特徴とするインバータ装置。

【請求項 4】 ゲート制御回路は、第 1 および第 2 の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して遮断用自己消弧型半導体素子をターンオンさせることを特徴とする請求項 3 記載のインバータ装置。

【請求項 5】 所定のしきい値を、第 1 の自己消弧型半導体素子のターンオンのタイミングから第 2 の自己消弧型半導体素子のターンオンのタイミングまでの期間と、それ以外の期間とでそれぞれ所定の値に変化させるしきい値変更回路を備えることを特徴とする請求項 3 または請求項 4 記載のインバータ装置。

【請求項 6】 第 1 および第 2 の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする電圧クランプ回路を備えることを特徴とする請求項 3 から請求項 5 のうちのいずれか 1 項記載のインバータ装置。

【請求項 7】 第 1 および第 2 の自己消弧型半導体素子並びに遮断用自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする電圧クランプ回路を備えることを特徴とする請求項 3 から請求項 5 のうちのいずれか 1 項記載のインバータ装置。

【請求項 8】 遮断用自己消弧型半導体素子がターンオフしたときの第 1 および第 2 の自己消弧型半導体素子のスイッチング状態を所定の期間だけそのまま保持する第 2 のゲート制御回路を備えることを特徴とする請求項 3 から請求項 7 のうちのいずれか 1 項記載のインバータ装置。

【請求項 9】 遮断用自己消弧型半導体素子に導通する電流の変化を抑制する電流変化率抑制回路を備えることを特徴とする請求項 3 から請求項 8 のうちのいずれか 1 項記載のインバータ装置。

【請求項 10】 複数の自己消弧型半導体素子と前記複数の自己消弧型半導体素子に逆並列に接続されるフリーホイールダイオードとを有し、直流電圧回路に接続される 3 レベルインバータブリッジを所定の数だけ備え、負荷回路に電力を供給するインバータ装置において、互いに直列に接続され、所定のスイッチング信号に従ってインバータ駆動される第 3 ～第 6 の自己消弧型半導体素子と、

前記第 3 ～第 6 の自己消弧型半導体素子にそれぞれ逆並列に接続される第 3 ～第 6 のフリーホイールダイオードと、

前記第 3 ～第 6 の自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第 3 ～第 6 のゲート駆動回路と、

前記第 3 の自己消弧型半導体素子と第 4 の自己消弧型半導体素子との接続点と前記直流電圧回路の中性点との間に接続される第 1 の結合ダイオードと、

前記第 5 の自己消弧型半導体素子と第 6 の自己消弧型半導体素子との接続点と前記直流電圧回路の中性点との間

に接続される第2の結合ダイオードと、
 前記第3および第4の自己消弧型半導体素子に直列に接続され、異常電流を遮断する第1の遮断用自己消弧型半導体素子と、
 前記第1の遮断用自己消弧型半導体素子に逆並列に接続される第1の遮断用フリーホイールダイオードと、
 前記第1の遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する第1の電圧上昇率抑制回路と、
 前記第5および第6の自己消弧型半導体素子に直列に接続され、異常電流を遮断する第2の遮断用自己消弧型半導体素子と、
 前記第2の遮断用自己消弧型半導体素子に逆並列に接続される第2の遮断用フリーホイールダイオードと、
 前記第2の遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する第2の電圧上昇率抑制回路と、
 前記第1および第2の遮断用自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第7および第8のゲート駆動回路と、
 前記第1の遮断用自己消弧型半導体素子に導通する電流が所定の第1のしきい値以上になった場合に前記第7のゲート駆動回路を制御して前記第1の遮断用自己消弧型半導体素子をターンオフさせる第3のゲート制御回路と、
 前記第2の遮断用自己消弧型半導体素子に導通する電流が所定の第2のしきい値以上になった場合に前記第8のゲート駆動回路を制御して前記第2の遮断用自己消弧型半導体素子をターンオフさせる第4のゲート制御回路とを前記3レベルインバータブリッジ毎に備えることを特徴とするインバータ装置。

【請求項11】 第3のゲート制御回路は、第3および第5の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して第1の遮断用自己消弧型半導体素子をターンオンさせ、第4のゲート制御回路は、第4および第6の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して第2の遮断用自己消弧型半導体素子をターンオンさせることを特徴とする請求項10に記載のインバータ装置。

【請求項12】 所定の第1のしきい値を、第3の自己消弧型半導体素子のターンオンのタイミングから第5の自己消弧型半導体素子のターンオンのタイミングまでの期間と、それ以外の期間とでそれぞれ所定の値に変化させる第1のしきい値変更回路と、所定の第2のしきい値を、第4の自己消弧型半導体素子のターンオンのタイミングから第6の自己消弧型半導体素子のターンオンのタイミングまでの期間と、それ以外の期間とでそれぞれ所定の値に変化させる第2のしきい値変更回路とを備えることを特徴とする請求項10または請求項11記載のインバータ装置。

【請求項13】 第3および第5の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以

下にクランプする第2の電圧クランプ回路と、第4および第6の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第3の電圧クランプ回路とを備えることを特徴とする請求項10から請求項12のうちのいずれか1項記載のインバータ装置。

【請求項14】 第3および第5の自己消弧型半導体素子並びに第1の遮断用自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第2の電圧クランプ回路と、第4および第6の自己消弧型半導体素子並びに第2の遮断用自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第3の電圧クランプ回路とを備えることを特徴とする請求項10から請求項12のうちのいずれか1項記載のインバータ装置。

【請求項15】 第1および第2の遮断用自己消弧型半導体素子のいずれかがターンオフしたときの第3～第6の自己消弧型半導体素子のスイッチング状態を所定の期間だけそのまま保持する第5のゲート制御回路を備えることを特徴とする請求項10から請求項14のうちのいずれか1項記載のインバータ装置。

【請求項16】 第1の遮断用自己消弧型半導体素子に導通する電流の変化を抑制する第1の電流変化率抑制回路と、第2の遮断用自己消弧型半導体素子に導通する電流の変化を抑制する第2の電流変化率抑制回路とを備えることを特徴とする請求項10から請求項15のうちのいずれか1項記載のインバータ装置。

【請求項17】 第1～第6の自己消弧型半導体素子、遮断用自己消弧型半導体素子並びに第1および第2の遮断用自己消弧型半導体素子は、ゲート転流型ターンオフサイリスタであることを特徴とする請求項3から請求項16のうちのいずれか1項記載のインバータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数の自己消弧型半導体素子とそれに逆並列に接続されるフリーホイールダイオードとを有し、直流電圧回路に接続されるインバータブリッジを所定の数だけ備え、負荷回路に電力を供給するインバータ装置に関するものである。

【0002】

【従来の技術】図19は例えば特開平4-295227号公報、特開平5-137346号公報、特開平6-303763号公報に記載の従来のインバータ装置の構成を示す回路図である。

【0003】図において、1は、端子P、N間に所定の電圧Eを発生する直流電圧回路である。102a～102eは自己消弧型半導体素子であるゲートターンオフサイリスタ（以下、GTOという）であり、103a～103eはGTO102a～102eに逆並列に接続されるフリーホイールダイオードである。104a～104

eはスナバダイオードであり、105a～105eはスナバコンデンサであり、106a～106eはスナバ抵抗であり、107a～107dはアノードリアクトルであり、108はヒューズであり、109は電流検出回路であり、10は負荷回路である。

【0004】次に動作について説明する。平常時においては、短絡電流遮断用のGTO102eが導通状態であり、GTO102a～102dがパルス幅変調信号に従ってオン／オフ駆動され、負荷回路10に電力を供給する。

【0005】そして、特開平4-295227号公報の記載のように、電流検出回路109により、所定のしきい値以上の電流が検出された場合、GTO102a、102bまたはGTO102c、102dを介する短絡が発生したと判断し、短絡電流遮断用のGTO102eをオフ駆動して、短絡電流が遮断される。このようにすることにより、短絡電流遮断用のGTO102eに接続されたスナバコンデンサ105eだけを大きな静電容量のコンデンサにすることで短絡電流を遮断することができるため、GTO102a～102dに接続されたスナバ

コンデンサ105a～105dの静電容量を低減することができる。

【0006】また、特開平5-137346号公報の記載のように、GTO102a、102cまたはGTO102b、102dのターンオン時に短絡電流遮断用のGTO102eに通常のゲート電流より大きいゲート電流を与えてオン駆動する。このようにすることにより、短絡電流遮断用のGTO102eの電流上昇率責務を軽減することができる。

【0007】さらに特開平6-303763号公報の記載のように、短絡電流遮断用のGTO102eに接続されるスナバ回路を分割して、スナバ専用の、低インダクタンス特性の高価なコンデンサの静電容量を増加させずに、GTO102eに誘起する過電圧を抑制するために高インダクタンス特性の安価なコンデンサを設けるようにしてもよい。このようにすることにより、短絡電流遮断用のGTO102eに接続されるスナバコンデンサのコストを低減することができる。

【0008】

【発明が解決しようとする課題】従来のインバータ装置は以上のように構成されているので、以下に示す3つの点などの課題があった。図20および図21は、従来のインバータ装置についての課題を示す図である。図20および図21を参照しながら、従来のインバータ装置についての課題について説明する。

【0009】まず第1の点を説明する。図19に示す回路において、例えばGTO102aがターンオンした場合には図20に示すように直流電圧回路1からスナバコンデンサ105bを充電するためのサージ電流I_pが流れる。アノードリアクトル107a、107bのインダ

クタンスをL、スナバコンデンサ105bの静電容量をCとすると、このサージ電流の最大値I_{pm}は式(1)のようになる。

【数1】

$$I_{pm} = E \sqrt{\frac{C}{L}} \quad \dots (1)$$

【0010】ここで負荷電流をI_oとすれば、所定のインバータブリッジのうちの1つのGTOだけがターンオンした場合には、短絡電流遮断用のGTO102eに導通する電流、つまり電流検出回路109により検出される電流I_dはI_oとI_pとの和になる。例えばインバータ装置を構成するインバータブリッジの台数をmとすると、最大m個のGTOが同時にターンオンする可能性があるため短絡電流遮断用のGTO102eに流れる電流の最大値I_{dm}はI_oおよびmとI_{pm}との積の和(I_o+m×I_{pm})となる。

【0011】従って、電流検出回路109の出力I_dと比較される、直流短絡が発生したことを判定するためのしきい値I_tは(I_o+m×I_{pm})以上の値に設定しなければならない。短絡電流遮断用GTO102eに並列に接続されるスナバコンデンサ105eの静電容量をしきい値I_t以上の電流遮断を考慮して選定しなければならず、大きな静電容量のスナバコンデンサ105eが必要となるという問題点がある。これはスナバコンデンサ105eの大型化、コスト増加の要因となり、インバータ装置のサイズおよびコストを低減することが困難であるという課題があった。

【0012】次に第2の点を説明する。図19に示す回路において負荷回路10が例えばモータ、電源トランスなどの誘導性負荷(インダクタンス成分)である場合、負荷電流には直流電圧回路1を介さない経路で還流する動作モードが生ずる。図20に示すような還流電流I_cがGTO102aとフリーホイールダイオード103cを介して導通している場合に、GTO102bが何らかの原因により誤ってターンオンすると、その瞬間から図20に示す短絡電流I_sが流れる。

【0013】アノードリアクトル107a、107bのインダクタンスをLとすると、電流検出回路109により検出される電流値が、直流短絡が発生したことを判定するためのしきい値I_tに達するまでの時間T_tは式(2)のようになる。

【数2】

$$T_t = \frac{I_t \times L}{E} \quad \dots (2)$$

【0014】従って、GTO102aの導通電流は時間T_tの間には短絡電流I_sと負荷電流I_o(=I_c)との和となる。つまり時間T_tの間は直流短絡が生じていても電流検出回路109の出力I_dはしきい値I_tに達しないことから直流短絡事故の検出がなされないため、GTO102aはしきい値I_t以上の電流を誤って遮断

する可能性がある。GTO102a~102dにそれぞれ接続されるスナバコンデンサ105a~105dの静電容量は短絡電流遮断用GTO102eに接続されるスナバコンデンサ105eより小さく設計されるため、GTO102aがしきい値電流 I_t 以上の電流を遮断した場合にはターンオフに失敗して素子が損傷する可能性があるという課題があった。これはインバータ装置の信頼性を損なうことになる。

【0015】第3の点は、直流電圧回路1が図19に示すような集中配置になっておらず例えば図21のように複数の直流コンデンサ111a~111dにより構成され、分散配置された複数のインバータブリッジユニット112a, 112b (GTO102a, 102bとその周辺回路あるいはGTO102c, 102dとその周辺回路)が直流コンデンサ111a~111dにそれぞれ接続される場合には、図19のように直流電圧回路1と等価になるように、直流コンデンサ111a~111dとインバータブリッジユニット112a, 112bとの間に共通して短絡電流遮断用のGTO102eを挿入することが困難であるという課題があった。

【0016】この発明は上記のような課題を解決するためになされたもので、小型化の可能なかつ信頼性の高いインバータ装置を得ることを目的とする。

【0017】

【課題を解決するための手段】この発明に係るインバータ装置は、直流電圧回路からインバータブリッジを介して直流電圧回路に戻る第1の閉回路並びにインバータブリッジから負荷回路および他のインバータブリッジを介して元のインバータブリッジに戻る第2の閉回路において共通する経路にインバータブリッジ毎に挿入され、異常電流を遮断する遮断用自己消弧型半導体素子と、遮断用自己消弧型半導体素子に逆並列に接続される遮断用フリーホイールダイオードと、遮断用自己消弧型半導体素子に導通する電流が所定のしきい値以上になった場合に遮断用自己消弧型半導体素子をターンオフさせるゲート制御回路とを備えるものである。

【0018】この発明に係るインバータ装置は、遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する電圧上昇率抑制回路を備えるものである。

【0019】この発明に係るインバータ装置は、互いに直列に接続され、所定のスイッチング信号に従ってインバータ駆動される第1および第2の自己消弧型半導体素子と、第1および第2の自己消弧型半導体素子にそれぞれ逆並列に接続される第1および第2のフリーホイールダイオードと、第1および第2の自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第1および第2のゲート駆動回路と、第1および第2の自己消弧型半導体素子に直列に接続され、異常電流を遮断する遮断用自己消弧型半導体素子と、遮断用自己消弧型半導体素子に逆並列に接続される遮断用フリーホイールダイオード

と、遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する電圧上昇率抑制回路と、遮断用自己消弧型半導体素子にゲート信号を供給して駆動する第3のゲート駆動回路と、遮断用自己消弧型半導体素子に導通する電流が所定のしきい値以上になった場合に第3のゲート駆動回路を制御して遮断用自己消弧型半導体素子をターンオフさせるゲート制御回路とを2レベルインバータブリッジ毎に備えるものである。

【0020】この発明に係るインバータ装置は、第1および第2の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して遮断用自己消弧型半導体素子をターンオンさせるようにしたものである。

【0021】この発明に係るインバータ装置は、所定のしきい値を、第1の自己消弧型半導体素子のターンオンのタイミングから第2の自己消弧型半導体素子のターンオンのタイミングまでの期間とそれ以外の期間とでそれぞれ所定の値に変化させるしきい値変更回路を備えるものである。

【0022】この発明に係るインバータ装置は、第1および第2の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする電圧クランプ回路を備えるものである。

【0023】この発明に係るインバータ装置は、第1および第2の自己消弧型半導体素子並びに遮断用自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする電圧クランプ回路を備えるものである。

【0024】この発明に係るインバータ装置は、遮断用自己消弧型半導体素子がターンオフしたときの第1および第2の自己消弧型半導体素子のスイッチング状態を所定の期間だけそのまま保持する第2のゲート制御回路を備えるものである。

【0025】この発明に係るインバータ装置は、遮断用自己消弧型半導体素子に導通する電流の変化を抑制する電流変化率抑制回路を備えるものである。

【0026】この発明に係るインバータ装置は、互いに直列に接続され、所定のスイッチング信号に従ってインバータ駆動される第3~第6の自己消弧型半導体素子と、第3~第6の自己消弧型半導体素子にそれぞれ逆並列に接続される第3~第6のフリーホイールダイオードと、第3~第6の自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第3~第6のゲート駆動回路と、第3の自己消弧型半導体素子と第4の自己消弧型半導体素子との接続点と直流電圧回路の中性点との間に接続される第1の結合ダイオードと、第5の自己消弧型半導体素子と第6の自己消弧型半導体素子との接続点と直流電圧回路の中性点との間に接続される第2の結合ダイオードと、第3および第4の自己消弧型半導体素子に直列に接続され、異常電流を遮断する第1の遮断用自己消弧型半導体素子と、第1の遮断用自己消弧型半導体素子

10

20

30

40

50

に逆並列に接続される第1の遮断用フリーホイールダイオードと、第1の遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する第1の電圧上昇率抑制回路と、第5および第6の自己消弧型半導体素子に直列に接続され、異常電流を遮断する第2の遮断用自己消弧型半導体素子と、第2の遮断用自己消弧型半導体素子に逆並列に接続される第2の遮断用フリーホイールダイオードと、第2の遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する第2の電圧上昇率抑制回路と、第1および第2の遮断用自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第7および第8のゲート駆動回路と、第1の遮断用自己消弧型半導体素子に導通する電流が所定の第1のしきい値以上になった場合に第7のゲート駆動回路を制御して第1の遮断用自己消弧型半導体素子をターンオフさせる第3のゲート制御回路と、第2の遮断用自己消弧型半導体素子に導通する電流が所定の第2のしきい値以上になった場合に第8のゲート駆動回路を制御して第2の遮断用自己消弧型半導体素子をターンオフさせる第4のゲート制御回路とを3レベルインバータブリッジ毎に備えるものである。

【0027】この発明に係るインバータ装置は、第3および第5の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して第1の遮断用自己消弧型半導体素子をターンオンさせ、第4および第6の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して第2の遮断用自己消弧型半導体素子をターンオンさせるようにしたものである。

【0028】この発明に係るインバータ装置は、所定の第1のしきい値を、第3の自己消弧型半導体素子のターンオンのタイミングから第5の自己消弧型半導体素子のターンオンのタイミングまでの期間とそれ以外の期間とでそれぞれ所定の値に変化させる第1のしきい値変更回路と、所定の第2のしきい値を、第4の自己消弧型半導体素子のターンオンのタイミングから第6の自己消弧型半導体素子のターンオンのタイミングまでの期間とそれ以外の期間とでそれぞれ所定の値に変化させる第2のしきい値変更回路とを備えるものである。

【0029】この発明に係るインバータ装置は、第3および第5の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第2の電圧クランプ回路と、第4および第6の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第3の電圧クランプ回路とを備えるものである。

【0030】この発明に係るインバータ装置は、第3および第5の自己消弧型半導体素子並びに第1の遮断用自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第2の電圧クランプ回路と、第4および第6の自己消弧型半導体素子並びに第2の遮断用自己消弧型半導体素子に対してオフ駆動時

に印加される電圧を所定の電圧以下にクランプする第3の電圧クランプ回路とを備えるものである。

【0031】この発明に係るインバータ装置は、第1および第2の遮断用自己消弧型半導体素子のいずれかがターンオフしたときの第3～第6の自己消弧型半導体素子のスイッチング状態を所定の期間だけそのまま保持する第5のゲート制御回路を備えるものである。

【0032】この発明に係るインバータ装置は、第1の遮断用自己消弧型半導体素子に導通する電流の変化を抑制する第1の電流変化率抑制回路と、第2の遮断用自己消弧型半導体素子に導通する電流の変化を抑制する第2の電流変化率抑制回路とを備えるものである。

【0033】この発明に係るインバータ装置は、第1～第6の自己消弧型半導体素子、遮断用自己消弧型半導体素子並びに第1および第2の遮断用自己消弧型半導体素子に、ゲート転流型ターンオフサイリスタを使用したものである。

【0034】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1は、この発明の実施の形態1によるインバータ装置の構成を示す回路図である。図2は、図1における自己消弧型半導体素子のゲート駆動回路とその周辺回路の一例を示す図である。

【0035】図1において、1は、端子P、N間に所定の電圧Eを発生する直流電圧回路である。2a～2cは、直流電圧回路1に接続され、互いに直列接続された3つの自己消弧型半導体素子（遮断用自己消弧型半導体素子、第1の自己消弧型半導体素子および第2の自己消弧型半導体素子）であり、2d～2fは、3つの自己消弧型半導体素子2a、2b、2cに並列に接続され、互いに直列接続された3つの自己消弧型半導体素子（遮断用自己消弧型半導体素子、第1の自己消弧型半導体素子および第2の自己消弧型半導体素子）である。

【0036】3a～3cは、自己消弧型半導体素子2a～2cにそれぞれ逆並列に接続されたフリーホイールダイオード（遮断用フリーホイールダイオード、第1のフリーホイールダイオードおよび第2のフリーホイールダイオード）であり、3d～3fは、自己消弧型半導体素子2d～2fにそれぞれ逆並列に接続されたフリーホイールダイオード（遮断用フリーホイールダイオード、第1のフリーホイールダイオードおよび第2のフリーホイールダイオード）である。9aおよび9bは自己消弧型半導体素子2a、2dに導通する電流をそれぞれ検出する電流検出回路である。10は、一端が自己消弧型半導体素子2b、2cの間の出力端子13aに接続され、他端が自己消弧型半導体素子2e、2fの間の出力端子13bに接続された負荷回路である。

【0037】なお、所定のスイッチング信号に従ってインバータ駆動される自己消弧型半導体素子2b、2cと

それらに逆並列にそれぞれ接続されるフリーホイールダイオード 3 b, 3 c により 1 つの 2 レベルインバータブリッジが構成され、所定のスイッチング信号に従ってインバータ駆動される自己消弧型半導体素子 2 e, 2 f とそれらに逆並列にそれぞれ接続されるフリーホイールダイオード 3 e, 3 f により 1 つの 2 レベルインバータブリッジが構成される。

【0038】また、自己消弧型半導体素子 2 a, 2 d は、直流電圧回路 1 から各インバータブリッジを介して直流電圧回路 1 に戻る第 1 の閉回路と、例えば図 1 に示すように、負荷回路 10 と 2 つのインバータブリッジのそれぞれ一部を介して元に戻る第 2 の閉回路とに共通する経路（すなわち、直流短絡電流 I_s が導通する経路と還流電流 I_c が導通する経路とに共通する経路）にそれぞれ挿入される。

【0039】図 2 において、14 a は所定のしきい値 I_t と電流検出回路 9 a の出力 I_d とを比較する比較回路であり、15 a は比較回路 14 a による比較結果に応じて自己消弧型半導体素子 2 a へのゲート信号を制御するゲート制御回路である。なお、自己消弧型半導体素子 2 d に対しても、同様に所定のしきい値 I_t と電流検出回路 9 d の出力 I_d とを比較する比較回路（図示せず）とその比較結果に応じて自己消弧型半導体素子 2 d へのゲート信号を制御するゲート制御回路（図示せず）が設けられている。

【0040】図 1 および図 2 における自己消弧型半導体素子 2 a ~ 2 f としては、絶縁ゲート型バイポーラトランジスタ（以下 IGBT という）を使用することができる。なお、特にゲート信号によりスイッチング状態を制御可能であれば、他のパワーデバイスを使用してもよい。

【0041】また、このインバータ装置には、各インバータブリッジにスイッチング信号（ゲート信号）を供給する図示せぬゲート制御回路が設けられていることはいうまでもない。

【0042】次に動作について説明する。通常時において、負荷回路 10 に流れる負荷電流 I_o は 2 つのインバータブリッジの自己消弧型半導体素子 2 b, 2 c, 2 e, 2 f により制御される。なお、上述のしきい値 I_t は通常時の負荷電流 I_o の最大値より大きな所定の値に予め設定しておく。なお、図中矢印の方向は電流の正極を示すものとする。

【0043】以下、図 1 における左側のインバータブリッジ（自己消弧型半導体素子 2 b, 2 c を含む方）について説明する。なお、他のインバータブリッジについては同様であるのでその説明を省略する。

【0044】通常時において、負荷電流 I_o がしきい値 I_t より小さい場合には比較回路 14 a の出力は正になり、自己消弧型半導体素子 2 a はゲート制御回路 15 a によりターンオンされる。

【0045】このとき、図示せぬ電流制御系の異常などにより自己消弧型半導体素子 2 b, 2 c が負荷電流を正しく制御できなくなると、負荷電流 I_o がしきい値 I_t 以上になる可能性があるとともに、自己消弧型半導体素子 2 b, 2 c が故障したり、スイッチング信号の異常などにより同時にオン状態になったり、フリーホイールダイオード 3 b, 3 c が故障して直流電圧回路 1 が短絡されて、短絡電流 I_s がしきい値 I_t 以上になる可能性がある。

【0046】一旦、電流検出回路 9 a の出力 I_d が I_t 以上になると、比較回路 14 a の出力は負に反転し、ゲート制御回路 15 a により自己消弧型半導体素子 2 a がターンオフされ、過電流は自己消弧型半導体素子 2 a により遮断される。

【0047】このように、何らかの原因によりインバータブリッジの異常動作が発生して過電流が流れた場合、自己消弧型半導体素子 2 a によりその過電流を遮断し、除去する。なお、比較回路 14 a の出力が一旦負に反転した場合には所定の時間内、負に保持されることが好ましい。

【0048】なお、自己消弧型半導体素子 2 a には、自己消弧型半導体素子 2 b, 2 c より電流遮断能力の高いものを使用する。例えば、自己消弧型半導体素子 2 b, 2 c より定格電流の大きいものを自己消弧型半導体素子 2 a に使用する。なお、定格電流には制限値があるので、最大定格の IGBT を自己消弧型半導体素子 2 b, 2 c に使用する場合には、同一のものを例えば並列接続構成にして自己消弧型半導体素子 2 a に使用する。

【0049】また、自己消弧型半導体素子 2 b, 2 c は負荷電流 I_o を制御するため、自己消弧型半導体素子 2 b, 2 c ではターンオフ損失、ターンオン損失および導通損失が発生する。一方、自己消弧型半導体素子 2 a では通常運転中においては導通損失のみ発生する。従って、各自己消弧型半導体素子 2 a, 2 b, 2 c に同じ冷却方法を適用している場合には、自己消弧型半導体素子 2 a の接合温度は自己消弧型半導体素子 2 b, 2 c の接合温度より低くなる。この接合温度の差により、自己消弧型半導体素子 2 a ~ 2 c に同じ定格電流の IGBT を適用することでも自己消弧型半導体素子 2 a に高い遮断電流性能を確保することができる。

【0050】さらに、近年シリコンに代わって SiC（シリコンカーバイド）による新しいバイポーラ素子が開発されている。例えば電気学会雑誌第 118 巻第 5 号に記載のように、SiC のオン抵抗はシリコンに比較して約 200 分の 1 になる。またシリコンの接合温度は 130 度程度であるが、SiC では接合温度が 400 度以上の高温でも半導体動作が可能であると考えられる。したがって SiC による自己消弧型半導体素子は、低オン電圧、過電流遮断時の接合温度上昇に対する高耐量を確保することが期待できるので、自己消弧型半導体素子 2

a, 2dに好適である。

【0051】なお、図1のインバータ装置においては、自己消弧型半導体素子2aに導通する電流は電流検出回路9aにより直接的に検出されるが、例えばシャント抵抗を用いて発生電圧を検出することによる間接的な電流検出方法、自己消弧型半導体素子2aのエミッターコレクタ間電圧あるいはゲート-エミッタ間電圧からの導通電流の推定する間接的な電流検出方法、自己消弧型半導体素子2a内に電流検出用IGBTチップを設け、そのチップにより同様にエミッターコレクタ間電圧などから

の導通電流の推定する電流検出方法などの間接的な電流検出方法を代わりに使用するようにしてもよい。

【0052】また、図1のインバータ装置においては、電流検出回路9aは自己消弧型半導体素子2aのエミッタ端子に接続されるが、自己消弧型半導体素子2aに導通する電流を検出することができれば、他の箇所に設けるようにしてもよい。

【0053】以上のように、従来のインバータ装置では負荷電流I_oを併せて検出できないため、直流短絡電流遮断用のGTO102e以外のGTO102a~102dについても高い遮断電流性能が必要とされる場合があったが、この実施の形態1によれば、直流短絡電流の導通する経路と負荷電流が還流する経路との共通な経路に自己消弧型半導体素子2a, 2dを挿入したので、何らかの原因によりインバータブリッジに異常が発生して過電流が生じた場合にその過電流を遮断し除去することができるという効果が得られる。

【0054】また、図19における従来のインバータ装置では、サージオン電流が重畳して直流短絡電流遮断用のGTO102eに流れるため、インバータ装置を構成するインバータブリッジの数がGTO102eの遮断電流性能により制限されてしまうが、この実施の形態1によるインバータ装置(図1)では、インバータブリッジ毎に遮断用の自己消弧型半導体素子を設けたので、インバータブリッジの数は特に(例えば2つに)限定されることはない。

【0055】実施の形態2. この発明の実施の形態2によるインバータ装置は、実施の形態1によるインバータ装置における自己消弧型半導体素子2a, 2dにスナバ回路を設けたものである。

【0056】図3は、この発明の実施の形態2によるインバータ装置の構成を示す回路図である。図において、4aは、自己消弧型半導体素子2aに接続されるスナバ回路(電圧上昇率抑制回路)を構成するスナバダイオードであり、5aは、自己消弧型半導体素子2aに接続されるスナバ回路を構成するスナバコンデンサであり、6aは、スナバダイオード4aに並列に接続され、自己消弧型半導体素子2aに接続されるスナバ回路を構成するスナバ抵抗である。4dは、自己消弧型半導体素子2dに接続されるスナバ回路(電圧上昇率抑制回路)を構成

するスナバダイオードであり、5dは、自己消弧型半導体素子2dに接続されるスナバ回路を構成するスナバコンデンサであり、6dは、スナバダイオード4dに並列に接続され、自己消弧型半導体素子2dに接続されるスナバ回路を構成するスナバ抵抗である。

【0057】なお、図3におけるその他の構成要素については実施の形態1(図1)におけるものと同様であるので、その説明を省略する。

【0058】次に動作について説明する。実施の形態1によるインバータ装置と同様に、自己消弧型半導体素子2a, 2dは過電流を遮断する。この動作は非繰返ターンオフ動作である。スナバ回路(スナバダイオード4a、スナバコンデンサ5aおよびスナバ抵抗6a、並びに、スナバダイオード4d、スナバコンデンサ5dおよびスナバ抵抗6d)はこの非繰返ターンオフ動作において発生するターンオフ損失を抑制し、接合温度上昇を抑制する。

【0059】以上のように、この実施の形態2によれば、自己消弧型半導体素子2a, 2dにスナバ回路を設けたので、遮断時の非繰返しターンオフ動作において自己消弧型半導体素子2aの接合温度は自己消弧型半導体素子2b, 2cより上昇する可能性、および、自己消弧型半導体素子2aによる過電流遮断が失敗した場合には健全な他の自己消弧型半導体素子2b, 2cを損傷させる可能性を低減することができ、自己消弧型半導体素子2a, 2dによる過電流遮断の信頼性を向上させることができるという効果が得られる。

【0060】なお、この実施の形態2によるインバータ装置におけるスナバ回路はこの非繰返ターンオフ動作時にだけ電流が導通するため、スナバコンデンサ5aおよびスナバ抵抗6aの許容電流値を小さく設計することができる。

【0061】また、この実施の形態2によるインバータ装置には、図2に示すゲート制御回路などを適用することが勿論可能である。

【0062】実施の形態3. 図4は、この発明の実施の形態3によるインバータ装置の構成を示す回路図であり、図5は、図4における自己消弧型半導体素子のゲート駆動回路とその周辺回路の一例を示す図である。

【0063】実施の形態1においては、一例として自己消弧型半導体素子2a~2fにはIGBTが使用されている。IGBTではゲート電圧を制御することによりエミッターコレクタ間のインピーダンスを制御することができるため、定格電流以上の比較的大きな過電流を遮断可能なことは例えば各種製品カタログの記載から周知である。

【0064】IGBTよりさらに大容量の自己消弧型半導体素子としては、ゲート転流型ターンオフサイリスタ(以下、GCTという)がある。このGCTはGTOなどと同じく自己消弧型半導体素子ではあるが、GTOの

ターンオフゲイン（最大遮断電流に対する最大ゲートオフ電流の比）が3～5程度であるのに対して、GCTのターンオフゲインが1近傍であり、遮断電流とほぼ同じ値のゲートオフ電流をゲート駆動回路により供給してGCTのカソードに導通する電流をすべてゲート駆動回路に転流させてGCTをターンオフさせるものである。したがってGCTにはIGBTと同様のゲート電圧制御を行うことが困難であるため、IGBTを使用する場合とは異なる過電流遮断方式が使用される。以下、GCTを使用したインバータ装置について説明する。

【0065】図4において、2a～2fは、GCTを使用した自己消弧型半導体素子である。なお、GCTとダイオードを同一の半導体ウエハ上に構成し、同一パッケージに収めた逆導通型GCTを自己消弧型半導体素子2a～2fおよびフリーホイールダイオード3a～3fとして使用することができる。

【0066】16aは、電流変化率抑制回路19aの蓄積エネルギーによる自己消弧型半導体素子2b、2cのオフ駆動時の電圧上昇を抑制する電圧クランプ回路を構成するクランプダイオードであり、17aは、同様に電圧クランプ回路を構成するクランプコンデンサであり、18aは、同様に電圧クランプ回路を構成する放電抵抗である。16bは、電流変化率抑制回路19bの蓄積エネルギーによる自己消弧型半導体素子2e、2fのオフ駆動時の電圧上昇を抑制する電圧クランプ回路を構成するクランプダイオードであり、17bは、同様に電圧クランプ回路を構成するクランプコンデンサであり、18bは、同様に電圧クランプ回路を構成する放電抵抗である。19aおよび19bは、導通する電流の変化を抑制するインダクタンス成分を有する電流変化率抑制回路である。

【0067】なお、GCTでは安全動作領域がGTOに比べて拡大されており、スナバ回路を用いずに定格電流を遮断することが可能であり、電圧上昇率耐量、電流上昇率耐量が大きい、実際に使用する際に回路の電流上昇率が大きくなれば、特にフリーホイールダイオードの逆回復電流が増加し、ひいては逆回復損失が大きくなり、その損失値の割合によっては損傷に至る可能性もある。そこで、インバータ装置の低損失化あるいは高信頼度を確保するために電流変化率抑制回路19a、19bが設けられている。

【0068】なお、電流変化率抑制回路19a、19bはリアクトル、配線、ヒューズなどにより構成され、自己消弧型半導体素子2a、2dのオフ駆動動作の信頼性が保証されれば、ヒューズを省略してもよい。

【0069】また、電流変化率抑制回路19aの全インダクタンスLaは以下のようにして設計する。GCTである自己消弧型半導体素子2aの最大遮断可能電流をIa、異常電流検出のためのしきい値をIt（GCTである自己消弧型半導体素子2b、2cの最大遮断電流以下

の値に設定する）、直流電圧回路1による電圧をE、電流検出回路9aがしきい値電流以上の電流を検出してからGCTである自己消弧型半導体素子2aが過電流を遮断するまでの動作遅れ時間をTmとすると、電流変化率抑制回路19aの全インダクタンスLaは式（3）に従って設計する。

【数3】

$$L_a \geq \frac{E \times T_m}{I_a - I_t} \quad \dots (3)$$

【0070】したがって、動作遅れ時間Tmを短縮できれば全インダクタンスLaを低減することができ、また、全インダクタンスLaが低減されれば、クランプコンデンサ17aの静電容量を低減することもできる。

【0071】また、スナバコンデンサ5aの静電容量Csは以下のようにして設計する。GCTである自己消弧型半導体素子2aがターンオフした場合には、電流変化率抑制回路19aに蓄積されたエネルギーは全てスナバコンデンサ5aに吸収される。そしてスナバコンデンサ5aの充電電圧はクランプダイオード16aに印加される。したがって、クランプダイオード16aの耐圧をV、GCTである自己消弧型半導体素子2aの最大遮断可能電流をIa、電流変化率抑制回路19aの全インダクタンスをLaとすると、スナバコンデンサ5aの静電容量Csは式（4）に従って設計する。

【数4】

$$C_s \geq L_a \sqrt{\frac{I_a}{V}} \quad \dots (4)$$

【0072】図4におけるその他の構成要素については実施の形態1（図1）または実施の形態2（図3）によるものと同様であるので、その説明を省略する。

【0073】また図5において、21aはスイッチング信号保持回路24aの出力に応じてしきい値Itの大きさを選択するしきい値選択回路（しきい値変更回路）であり、22aはスイッチング信号保持回路24aの出力に応じてターンオン動作を実行するタイミングを検出するターンオンタイミング検出回路である。

【0074】23a～23cは、自己消弧型半導体素子2a～2cをそれぞれ駆動するゲート駆動回路（第3のゲート駆動回路、第1のゲート駆動回路および第2のゲート駆動回路）であり、24aは、図示せぬスイッチング信号生成回路により生成された自己消弧型半導体素子2b、2cへのスイッチング信号を供給され、ゲート制御回路26aより自己消弧型半導体素子2aをオフ駆動させるためのオフ信号が出力されたときに自己消弧型半導体素子2b、2cへのスイッチング信号を保持し、保持した信号を所定の期間だけ継続して出力するスイッチング信号保持回路（第2のゲート制御回路）である。25aはしきい値Itと電流検出回路9aの出力Idとを比較する比較回路であり、26aは比較回路25aの出

力とターンオンタイミング検出回路 22 a の出力に応じてゲート駆動回路 23 a を制御して、自己消弧型半導体素子 2 a のスイッチング状態を制御するゲート制御回路である。

【0075】なお、図 5 に示す回路と同様の図示せぬ回路が自己消弧型半導体素子 2 d, 2 e, 2 f および電流検出回路 9 d にも設けられている。

【0076】次に動作について説明する。図 6 は図 4 および図 5 に示すインバータ装置の動作を説明するタイミングチャートである。

【0077】図 5 のスイッチング信号保持回路 24 a は、図示せぬスイッチング信号生成回路により生成された自己消弧型半導体素子 2 b, 2 c へのスイッチング信号を供給され、ゲート制御回路 26 a により自己消弧型半導体素子 2 a をオフ駆動させるためのオフ信号が出力されると自己消弧型半導体素子 2 b, 2 c へのスイッチング信号を保持し、保持した信号を所定の期間だけ継続して出力する。なお、スイッチング信号保持回路 24 a はゲート制御回路 26 a がオフ信号を出力しない限り、供給されたスイッチング信号をそのまま出力する。

【0078】その信号に応じてしきい値選択回路 21 a がしきい値 I_t の大きさを選択し、ターンオンタイミング検出回路 22 a がターンオン動作を実行するタイミングを検出する。一方、比較回路 25 a によりしきい値 I_t と電流検出回路 9 a の出力 I_d とが比較され、その比較結果とターンオンタイミング検出回路 22 a の出力に応じてゲート制御回路 26 a によりゲート駆動回路 23 a が制御され、自己消弧型半導体素子 2 a のスイッチング状態が制御される。

【0079】また、スイッチング信号保持回路 24 a の出力がゲート駆動回路 23 b, 23 c に供給され、ゲート駆動回路 23 b, 23 c により自己消弧型半導体素子 2 b, 2 c のスイッチング状態が制御される。

【0080】以下、図 6 のタイミングチャートに沿って各部の詳細な動作について説明する。まず自己消弧型半導体素子 2 b, 2 c のスイッチング動作した場合の電流検出回路 9 a により検出される電流 I_d について説明する。

【0081】自己消弧型半導体素子 2 b, 2 c のスイッチング動作では、図 6 に示すように、ターンオンする際に、自己消弧型半導体素子 2 b, 2 c のいずれもがオフ駆動される期間 T_d が設けられる。この期間 T_d は、自己消弧型半導体素子 2 b, 2 c がスイッチング動作の過渡状態において同時にオン状態になり直流電圧回路 1 を短絡することを抑制するための時間であり、短絡防止時間と呼ばれる。

【0082】このようにして自己消弧型半導体素子 2 b, 2 c が駆動されると、電流検出回路 9 a による検出電流 I_d は負荷電流 I_o の極性（向き）に応じて、図 6 に示すようになる。すなわち、負荷電流が正極性（図 4

に示す方向）である場合、自己消弧型半導体素子 2 b がターンオン動作を行う時刻 T_2 の直後に検出電流が最大になり、その最大値は負荷電流 I_o とフリーホイールダイオード 3 c の逆回復電流 I_{rr} との和になる。一方、負荷電流が負極性（図 4 に示す方向の逆方向）である場合、自己消弧型半導体素子 2 c がターンオン動作を行う時刻 T_4 の直後に検出電流が最大になり、その最大値はフリーホイールダイオード 3 b の逆回復電流 I_{rr} になる。

10 【0083】次に、ターンオンタイミング検出回路 22 a などにより自己消弧型半導体素子 2 a へゲート信号が供給される際の詳細な動作について説明する。一般に、大容量 GCT はウエハ口径が非常に大きいので、ターンオン時に高い電流上昇が生じた場合、全てのウエハ面がオン状態にならずゲート電極近傍の部分がまずオン状態となる。そして部分的にオン状態になった場所に集中して電流が流れ込むため、局所的な接合温度の上昇が発生する。この部分的にオン状態になる面積を拡げて、局所的な接合温度の上昇を抑制するためにゲート駆動回路 23 a によりハイゲートオン電流（通常のゲート信号に比較して大きな電流のゲート信号）が供給される。

20 【0084】自己消弧型半導体素子 2 a に導通する電流に電流上昇が現れるのは、自己消弧型半導体素子 2 b, 2 c のターンオンのタイミングである時刻 T_2 と時刻 T_4 のそれぞれ直後であるため、ターンオンタイミング検出回路 22 a は、スイッチング信号保持回路 24 a の 2 つの出力の値から時刻 T_2 , T_4 を検出し、その検出信号をゲート制御回路 26 a に供給する。ゲート制御回路 26 a は、そのタイミングでゲート駆動回路 23 a を制御し、ゲート駆動回路 23 a に、自己消弧型半導体素子 2 a に対してハイゲートオン電流を供給させる。

【0085】なお、負荷電流 I_o の極性を検出し、その極性に基づいて時刻 T_2 または時刻 T_4 のいずれか一方のタイミングだけを検出し、そのタイミングでゲート駆動回路 23 a によりハイゲートオン電流を供給するようにしてもよい。

【0086】次にしきい値選択回路 21 a の詳細な動作について説明する。通常時においては、自己消弧型半導体素子 2 c がターンオンする時刻 T_4 から自己消弧型半導体素子 2 b がターンオンする時刻 T_2 までの期間においては、自己消弧型半導体素子 2 b がオフ駆動されているため、負荷電流 I_o の極性に拘らず、フリーホイールダイオード 3 b の逆回復電流 I_{rr} を超える正極性の電流は電流検出回路 9 a により検出されない。しかしながら、自己消弧型半導体素子 2 b, 2 c またはフリーホイールダイオード 3 b, 3 c に異常が発生した場合には、フリーホイールダイオード 3 b の逆回復電流 I_{rr} を超える正極性の電流が検出されることがある。

【0087】しきい値選択回路 21 a は、自己消弧型半導体素子 2 c がターンオンする時刻 T_4 から自己消弧型

半導体素子 2 b がターンオンする時刻 T 2 までの期間を、スイッチング信号保持回路 2 4 a の 2 つの出力の値から検出し、その期間におけるしきい値 I_t として、フリーホイールダイオード 3 b の逆回復電流 I_{rr} の最大値を超える所定の値（図中の「L」）を選択し、比較回路 2 5 a に供給する。それ以外の期間においては、しきい値選択回路 2 1 a は、しきい値 I_t として負荷電流 I_o の最大値とフリーホイールダイオード 3 c の逆回復電流 I_{rr} の最大値との和を超える所定の値（図中の「H」）を選択し、比較回路 2 5 a に供給する。

【0088】そして比較回路 2 5 a は電流検出回路 9 a による検出電流 I_d と、供給されたしきい値 I_t とを比較して、その比較結果をゲート制御回路 2 6 a に供給し、ゲート制御回路 2 6 a は、検出電流 I_d がしきい値 I_t 以上である場合には、異常が発生したと判断して、ゲート駆動回路 2 3 a を制御して自己消弧型半導体素子 2 a をターンオフさせる。

【0089】ゲート制御回路 2 6 a は一旦オフ信号をゲート駆動回路 2 3 a に供給した場合、所定の期間、オフ信号を継続して供給することが好ましい。例えば比較回路 2 5 a により、検出電流 I_d がしきい値 I_t 以上になった時刻を保持しておき、その時刻から所定の期間だけ、ゲート制御回路 2 6 a により、オフ信号を継続して供給させる。

【0090】なお、ゲート制御回路 2 6 a がオフ信号を出力すると同時に、その旨の情報がスイッチング信号保持回路 2 4 a に供給され、スイッチング信号保持回路 2 4 a は、供給されるスイッチング信号の変化に拘わらずスイッチング信号の値を保持する。このように、自己消弧型半導体素子 2 b、2 c に対して過電流が流れ、自己消弧型半導体素子 2 a がオフ駆動される場合に、自己消弧型半導体素子 2 b、2 c がその電流を遮断しないようにし、自己消弧型半導体素子 2 b、2 c がターンオフ損傷に至る可能性を低減する。

【0091】なお、フリーホイールダイオード 3 b、3 c の逆回復動作が行なわれる時間が予め特定できる場合には、フリーホイールダイオード 3 b、3 c の逆回復動作後に、しきい値 I_t の H のレベルを負荷電流 I_o の最大値を超えた所定の値に変更し、L のレベルをゼロに変更するようにしてもよい。この場合、しきい値 I_t のレベルは 4 種類となる。

【0092】また、図 5 に示す回路においては、自己消弧型半導体素子 2 a をオフ駆動する旨の情報がゲート制御回路 2 6 a からスイッチング信号保持回路 2 4 a へ供給されるが、図 5 の破線で示すように比較回路 2 5 a の出力をスイッチング信号保持回路 2 4 a に直接供給し、その出力に基づいて、ゲート制御回路 2 6 a が自己消弧型半導体素子 2 a をオフ駆動することを検出するようにしてもよい。

【0093】次にクランプダイオード 1 6 a、クランプ

コンデンサ 1 7 a および放電抵抗 1 8 a で構成される電圧クランプ回路について説明する。

【0094】GCT である自己消弧型半導体素子 2 b、2 c のスイッチング動作によって電流変化率抑制回路 1 9 a に蓄積されたエネルギーは、IGBT を使用する場合のように、自己消弧型半導体素子 2 b、2 c において損失させることができるほど小さくはない。

【0095】そこで、図 4 に示すクランプダイオード 1 6 a、クランプコンデンサ 1 7 a および放電抵抗 1 8 a で構成される電圧クランプ回路により、電流変化率抑制回路 1 9 a に蓄積されたエネルギーをクランプコンデンサ 1 7 a に一旦吸収させる。

【0096】クランプダイオード 1 6 a、クランプコンデンサ 1 7 a および放電抵抗 1 8 a で構成される電圧クランプ回路を自己消弧型半導体素子 2 b、2 c に共通に適用される箇所に設けることにより、自己消弧型半導体素子 2 b、2 c をこの電圧クランプ回路により電流変化率抑制回路 1 9 a に蓄積されたエネルギーから保護する。

【0097】また、自己消弧型半導体素子 2 a に接続された、スナバダイオード 4 a、スナバコンデンサ 5 a およびスナバ抵抗 6 a で構成されるスナバ回路により、自己消弧型半導体素子 2 a がターンオフする際に発生する電圧上昇が抑制される。なお、他の方法で電圧上昇を抑制するようにしてもよい。電圧上昇が抑制されれば、自己消弧型半導体素子 2 a のターンオフ損失が抑制されるため、電圧クランプ回路しか接続されていない自己消弧型半導体素子（GCT）2 b、2 c に比べて自己消弧型半導体素子（GCT）2 a の遮断性能が相対的に向上することになる。

【0098】なお、図 4 および図 5 に示すインバータ装置は、GCT である自己消弧型半導体素子 2 b、2 c のターンオン動作に同期して GCT である自己消弧型半導体素子 2 a にハイゲートオン電流を与える機能、GCT である自己消弧型半導体素子 2 b、2 c のスイッチング状態に応じてしきい値を変化させる機能、GCT である自己消弧型半導体素子 2 b、2 c に共通に電圧クランプ回路を接続する構成、電流変化率抑制回路 1 9 a を介して自己消弧型半導体素子 2 a を直流電圧回路 1 に接続する構成など、インバータ装置の信頼性の向上を提供する様々な機能や構成が採用されているが、必ずしも全ての機能や構成を採用する必要はなく、使用する自己消弧型半導体素子の特性に応じて機能や構成を適宜選択して採用するようにしてもよい。例えばターンオンタイミング検出回路 2 2 a を省略してゲート駆動回路 2 3 a のゲートオン電流を増加する構成にすることにより、図 5 に示す回路構成を簡素化して信頼性を向上させることなどが考えられる。

【0099】なお、上記動作の説明においては、1 つのインバータブリッジに関連する部分の動作を説明してい

10

20

30

40

50

るが、他のインバータブリッジに関連する部分の動作についても同様である。

【0100】以上のように、この実施の形態3によれば、2レベルインバータブリッジの2つの自己消弧型半導体素子2b、2c(2e、2f)に他の自己消弧型半導体素子2a(2d)を直列接続し、その自己消弧型半導体素子2a(2d)を2つの自己消弧型半導体素子2b、2c(2e、2f)のスイッチング状態に拘らずターンオフ動作可能なようにしたので、自己消弧型半導体素子を損傷させることなく異常電流を遮断することができ、不慮の事故の波及が抑制され、インバータ装置の信頼性を向上させることができるという効果が得られる。

【0101】また、この実施の形態3によれば、ゲート制御回路26aが自己消弧型半導体素子2b、2c(2e、2f)のターンオン動作に同期して自己消弧型半導体素子2a(2d)にオン駆動させるようにしたので、自己消弧型半導体素子2a(2d)を確実にオン状態にすることができ、半導体ウエハ上の部分的な電流集中による素子損傷の発生が抑制され、インバータ装置の信頼性を向上させることができるという効果が得られる。

【0102】さらに、この実施の形態3によれば、自己消弧型半導体素子2b、2c(2e、2f)のスイッチング状態に応じて、異常電流の検出のためのしきい値に異なる値を使用するようにしたので、その時点のスイッチング状態に応じて高速に異常電流を検出し遮断することができ、インバータ装置の信頼性を向上させることができるという効果が得られる。

【0103】さらに、この実施の形態3によれば、2つの自己消弧型半導体素子2b、2c(2e、2f)に対して共通の電圧クランプ回路を設けたので、自己消弧型半導体素子2b、2c(2e、2f)のオフ駆動時の電圧が抑制され、2レベルインバータブリッジでの電力損失を低減することができ、インバータ装置を低損失化することができるという効果が得られる。

【0104】さらに、この実施の形態3によれば、自己消弧型半導体素子2a(2d)のターンオフ時の自己消弧型半導体素子2b、2c(2e、2f)のスイッチング状態を保持、固定するようにしたので、自己消弧型半導体素子2b、2c(2e、2f)が誤って事故電流を遮断して損傷することを防止してインバータ装置の信頼性を向上させることができるという効果が得られる。

【0105】さらに、この実施の形態3によれば、電流変化率抑制回路19a(19b)を介して2レベルインバータブリッジが直流電圧回路1に接続されるので、自己消弧型半導体素子2b、2c(2e、2f)のターンオン時に流れるオン電流の増加率を抑制することができ、異常電流の検出時における電流検出遅れが補償され、インバータ装置の信頼性を向上させることができるという効果が得られる。

【0106】実施の形態4. 図7は、この発明の実施の

形態4によるインバータ装置の構成を示す回路図である。この発明の実施の形態4によるインバータ装置は、実施の形態3によるインバータ装置(図4)における自己消弧型半導体素子2a、2d、フリーホイールダイオード3a、3d、スナバ回路(スナバダイオード4a、4d、スナバコンデンサ5a、5dおよびスナバ抵抗6a、6d)の設置位置を図7に示すように変更したものである。

【0107】また、自己消弧型半導体素子2b、2c(2e、2f)には共通に電圧クランプ回路(クランプダイオード16a、16b、クランプコンデンサ17a、17b、放電抵抗18a、18b)が接続される。

【0108】なお、実施の形態4によるインバータ装置におけるその他の構成要素については実施の形態3によるインバータ装置(図4および図5)と同様であるので、その説明を省略する。

【0109】また、電流検出回路9a(9d)の設置位置は自己消弧型半導体素子2a(2d)に流れる電流が等価的に検出できる位置ならばよく、特に限定されることはない。

【0110】次に動作について説明する。この実施の形態4によるインバータ装置においては、電流変化率抑制回路19a(19b)がクランプダイオード16a(16b)および放電抵抗18a(18b)とともに閉回路を構成するため、その閉回路内に自己消弧型半導体素子2a(2d)などが配置されず、自己消弧型半導体素子2a(2d)がターンオフした場合に電流変化率抑制回路19aに蓄積されるエネルギーの全てがスナバコンデンサ5a(5d)に吸収されることはない。

【0111】したがって、式(4)の条件に制限されることなくスナバコンデンサ5a(5d)の静電容量Csを設計することができ、実施の形態3におけるスナバコンデンサ5a(5d)に比較して静電容量は小さく設計される。

【0112】なお、実施の形態4によるインバータ装置におけるその他の動作については実施の形態3によるインバータ装置(図4および図5)と同様であるので、その説明を省略する。

【0113】以上のように、この実施の形態4によれば、実施の形態3による効果の他、スナバコンデンサ5a(5d)の静電容量を小さく設計することができるという効果が得られる。

【0114】実施の形態5. 図8は、この発明の実施の形態5によるインバータ装置の構成を示す回路図である。この発明の実施の形態5によるインバータ装置は、実施の形態3によるインバータ装置(図4)における電圧クランプ回路(クランプダイオード16a、16b、クランプコンデンサ17a、17bおよび放電抵抗18a、18b)の設置位置を図8に示すように変更したものである。

【0115】この実施の形態5によるインバータ装置(図8)においては、クランプダイオード16a(16b)、クランプコンデンサ17a(17b)および放電抵抗18a(18b)で構成される電圧クランプ回路が自己消弧型半導体素子2a~2c(2d~2f)に共通に接続される。

【0116】なお、実施の形態5によるインバータ装置におけるその他の構成要素については実施の形態3によるインバータ装置(図4および図5)と同様であるので、その説明を省略する。

【0117】また、電流検出回路9a(9d)の設置位置は自己消弧型半導体素子2a(2d)に流れる電流が等価的に検出できる位置ならばよく、特に限定されることはない。

【0118】次に動作について説明する。自己消弧型半導体素子2a(2d)がターンオフした場合、電流変化率抑制回路19a(19d)に蓄積されたエネルギーはまずスナバコンデンサ5a(5d)に吸収されていくが、スナバコンデンサ5a(5d)の充電電圧が直流電圧回路1の電圧E以上になると、スナバコンデンサ5a(5d)とクランプコンデンサ17a(17b)とにより吸収される。したがって、スナバコンデンサ5a(5d)の静電容量を小さく設計することができる。

【0119】なお、実施の形態5によるインバータ装置におけるその他の動作については実施の形態3によるインバータ装置(図4および図5)と同様であるので、その説明を省略する。

【0120】以上のように、この実施の形態5によれば、自己消弧型半導体素子2a~2c(2d~2f)に対して共通の電圧クランプ回路を設けたので、自己消弧型半導体素子2a~2c(2d~2f)のオフ駆動時の電圧が抑制され、異常電流を遮断するための自己消弧型半導体素子2a(2d)に接続されるスナバコンデンサ5a(5d)の静電容量を低減することができ、インバータ装置を小型化することができるという効果が得られる。

【0121】実施の形態6. 図9は、この発明の実施の形態6によるインバータ装置の構成を示す回路図である。この発明の実施の形態6によるインバータ装置は、実施の形態5によるインバータ装置(図8)における電圧クランプ回路(クランプダイオード16a、16b、クランプコンデンサ17a、17bおよび放電抵抗18a、18b)の設置位置を図9に示すように変更するとともに、放電抵抗18a、18bをスナバ抵抗としても使用するようにしたものである。

【0122】この実施の形態6によるインバータ装置(図9)においては、スナバ回路のスナバ抵抗6a、6dが省略されとともに、クランプダイオード16a、16bのアノードがスナバダイオード4a、4dのカソードにそれぞれ接続される。

【0123】なお、実施の形態6によるインバータ装置におけるその他の構成要素については実施の形態5によるインバータ装置(図8)と同様であるので、その説明を省略する。また動作についても実施の形態5によるインバータ装置と同様であるので、その説明を省略する。

【0124】また、電流検出回路9a(9d)の設置位置は自己消弧型半導体素子2a(2d)に流れる電流が等価的に検出できる位置ならばよく、特に限定されることはない。

10 【0125】以上のように、この実施の形態6によれば、クランプダイオード16a、16bのアノードをスナバダイオード4a、4dのカソードにそれぞれ接続し、電圧クランプ回路の放電抵抗18a(18b)をスナバ回路のスナバ抵抗6a(6d)としても使用するようにしてスナバ抵抗6a(6d)を省略するようにしたので、部品点数が減り、インバータ装置のサイズおよびコストを低減することができるという効果が得られる。

20 【0126】実施の形態7. 図10は、この発明の実施の形態7によるインバータ装置の構成を示す回路図である。図11は、図10における自己消弧型半導体素子のゲート駆動回路とその周辺回路の一例を示す図である。

【0127】図10において、51は端子Cを中性点として、端子P、C間に電圧E、端子C、N間に電圧Eを発生する直流電圧回路である。52aおよび52gは異常電流遮断用のGCTなどの自己消弧型半導体素子(第1の遮断用自己消弧型半導体素子)であり、52fおよび52mは同様に異常電流遮断用のGCTなどの自己消弧型半導体素子(第2の遮断用自己消弧型半導体素子)である。52b~52eおよび52h~52kは、それぞれインバータ駆動されるGCTなどの自己消弧型半導体素子(第3~第6の自己消弧型半導体素子)である。

30 【0128】なお、所定のスイッチング信号に従ってインバータ駆動される自己消弧型半導体素子52b~52eは1つの3レベルインバータブリッジを構成し、所定のスイッチング信号に従ってインバータ駆動される自己消弧型半導体素子52h~52kは1つの3レベルインバータブリッジを構成する。

40 【0129】53aおよび53gは、自己消弧型半導体素子52a、52gにそれぞれ逆並列に接続されたフリーホイールダイオード(第1の遮断用フリーホイールダイオード)であり、53fおよび53mは、自己消弧型半導体素子52f、52mにそれぞれ逆並列に接続されたフリーホイールダイオード(第2の遮断用フリーホイールダイオード)であり、53b~53eおよび53h~53kは、自己消弧型半導体素子52b~52e、52h~52kにそれぞれ逆並列に接続されたフリーホイールダイオード(第3~第6のフリーホイールダイオード)である。

50 【0130】54aおよび54gは、自己消弧型半導体素子52a、52gにそれぞれ接続されるスナバ回路

(第1の電圧上昇率抑制回路)を構成するスナバダイオードであり、55aおよび55gは、自己消弧型半導体素子52a、52gにそれぞれ接続されるスナバ回路を構成するスナバコンデンサであり、56aおよび56gは、スナバダイオード54a、54gにそれぞれ並列に接続され、自己消弧型半導体素子52a、52gにそれぞれ接続されるスナバ回路を構成するスナバ抵抗である。

【0131】54fおよび54mは、自己消弧型半導体素子52f、52mにそれぞれ接続されるスナバ回路 10

(第2の電圧上昇率抑制回路)を構成するスナバダイオードであり、55fおよび55mは、自己消弧型半導体素子52f、52mにそれぞれ接続されるスナバ回路を構成するスナバコンデンサであり、56fおよび56mは、スナバダイオード54f、54mにそれぞれ並列に接続され、自己消弧型半導体素子52f、52mにそれぞれ接続されるスナバ回路を構成するスナバ抵抗である。

【0132】59a、59b、59cおよび59dは自己消弧型半導体素子52a、52f、52g、52mに 20

導通する電流をそれぞれ検出する電流検出回路である。
【0133】66aは、電流変化率抑制回路69aの蓄積エネルギーによる自己消弧型半導体素子52b、52cのオフ駆動時の電圧上昇を抑制する第2の電圧クランプ回路を構成するクランプダイオードであり、67aは、同様に第2の電圧クランプ回路を構成するクランプコンデンサであり、68aは、同様に第2の電圧クランプ回路を構成する放電抵抗である。

【0134】66bは、電流変化率抑制回路69bの蓄積エネルギーによる自己消弧型半導体素子52d、52 30

eのオフ駆動時の電圧上昇を抑制する第3の電圧クランプ回路を構成するクランプダイオードであり、67bは、同様に第3の電圧クランプ回路を構成するクランプコンデンサであり、68bは、同様に第3の電圧クランプ回路を構成する放電抵抗である。

【0135】66cは、電流変化率抑制回路69cの蓄積エネルギーによる自己消弧型半導体素子52h、52 40

jのオフ駆動時の電圧上昇を抑制する第2の電圧クランプ回路を構成するクランプダイオードであり、67cは、同様に第2の電圧クランプ回路を構成するクランプコンデンサであり、68cは、同様に第2の電圧クランプ回路を構成する放電抵抗である。

【0136】66dは、電流変化率抑制回路69dの蓄積エネルギーによる自己消弧型半導体素子52i、52kのオフ駆動時の電圧上昇を抑制する第3の電圧クランプ回路を構成するクランプダイオードであり、67dは、同様に第3の電圧クランプ回路を構成するクランプコンデンサであり、68dは、同様に第3の電圧クランプ回路を構成する放電抵抗である。

【0137】69aおよび69cは、導通する電流の変 50

化を抑制するインダクタンス成分を有する電流変化率抑制回路(第1の電流変化率抑制回路)であり、69bおよび69dは、同様に、導通する電流の変化を抑制するインダクタンス成分を有する電流変化率抑制回路(第2の電流変化率抑制回路)である。60は、一端が自己消弧型半導体素子52c、52dの間の出力端子63aに接続され、他端が自己消弧型半導体素子52i、52jの間の出力端子63bに接続された負荷回路である。

【0138】なお、GCTは安全動作領域をGTOに比べて拡大されており、スナバ回路を用いずに定格電流を遮断することが可能であり、電圧上昇率耐量、電流上昇率耐量が大きい、実際に使用する際に回路の電流上昇率が大きくなれば、特にフリーホイールダイオードの逆回復電流が増加し、ひいては逆回復損失が大きくなり、その損失値の割合によっては損傷に至る可能性もある。そこで、インバータ装置の低損失化あるいは高信頼度化を確保するために電流変化率抑制回路69a~69dが設けられている。

【0139】なお、電流変化率抑制回路69a~69dはリアクトル、配線、ヒューズなどにより構成され、自己消弧型半導体素子52a、52f、52g、52mのオフ駆動動作の信頼性が保証されれば、ヒューズを省略してもよい。

【0140】また、電流変化率抑制回路69aの全インダクタンスLaは以下のようにして設計する。GCTである自己消弧型半導体素子52aの最大遮断可能電流をIa、しきい値をIt(GCTである自己消弧型半導体素子52b~52eの最大遮断電流以下の値に設定する)、直流電圧回路51による端子P、C間または端子C、N間の電圧をE、電流検出回路59a、59bがしきい値電流以上の電流を検出してからGCTである自己消弧型半導体素子52a、52fが過電流を遮断するまでの動作遅れ時間をTmとすると、電流変化率抑制回路69aの全インダクタンスLaは式(3)に従って設計する。また同様にして電流変化率抑制回路69b~69dの全インダクタンスLb~Ldを設計する。

【0141】したがって、動作遅れ時間Tmを短縮できれば全インダクタンスLa~Ldを低減することができ、また、全インダクタンスLa~Ldが低減されれば、クランプコンデンサ67a~67dの静電容量を低減することもできる。

【0142】また、スナバコンデンサ55aの静電容量Csは以下のようにして設計する。GCTである自己消弧型半導体素子52aがターンオフした場合には、電流変化率抑制回路69aに蓄積されたエネルギーは全てスナバコンデンサ55aに吸収される。そしてスナバコンデンサ55aの充電電圧はクランプダイオード66aに印加される。したがって、クランプダイオード66aの耐圧をV、GCTである自己消弧型半導体素子52aの最大遮断可能電流をIa、電流変化率抑制回路69aの

全インダクタンスを L_a とすると、スナバコンデンサ55aの静電容量 C_s は式(4)に従って設計する。また同様にスナバコンデンサ55f, 55g, 55mの静電容量 C_s を設計する。

【0143】76aおよび76bは直流電圧回路51の端子Cから自己消弧型半導体素子52cのアノードと自己消弧型半導体素子52dのカソードにそれぞれ接続される結合ダイオード(第1および第2の結合ダイオード)であり、76cおよび76dは直流電圧回路51の端子Cから自己消弧型半導体素子52iのアノードと自己消弧型半導体素子52jのカソードにそれぞれ接続される結合ダイオード(第1および第2の結合ダイオード)である。

【0144】また図11において、71aおよび71bはスイッチング信号保持回路74aの出力に応じて、異常電流検出のためのしきい値 I_t の大きさをそれぞれ選択するしきい値選択回路(第1および第2のしきい値変更回路)であり、72aおよび72bはスイッチング信号保持回路74aの出力に応じて自己消弧型半導体素子52a, 52fのターンオン動作を実行するタイミングをそれぞれ検出するターンオンタイミング検出回路である。

【0145】73b~73eは、インバータ駆動される自己消弧型半導体素子52b~52eをそれぞれ駆動するゲート駆動回路(第3~第6のゲート駆動回路)であり、73aおよび73fは、異常電流遮断用の自己消弧型半導体素子52a, 52fをそれぞれ駆動するゲート駆動回路(第7および第8のゲート駆動回路)である。

74aは、図示せぬスイッチング信号生成回路により生成された自己消弧型半導体素子52b~52eへのスイッチング信号を供給され、ゲート制御回路65aまたはゲート制御回路65bより自己消弧型半導体素子52aまたは自己消弧型半導体素子52fをオフ駆動させるためのオフ信号が出力された場合に自己消弧型半導体素子52b~52eへのスイッチング信号を保持し、保持した信号を出力するスイッチング信号保持回路(第5のゲート制御回路)である。

【0146】64aおよび64bはしきい値選択回路71a, 71bからのしきい値 I_t と電流検出回路59a, 59bの出力 I_d とをそれぞれ比較する比較回路であり、65aおよび65bは比較回路64a, 64bの出力とターンオンタイミング検出回路72a, 72bの出力に応じてゲート駆動回路73a, 73bをそれぞれ制御して、自己消弧型半導体素子52a, 52fのスイッチング状態をそれぞれ制御するゲート制御回路(第3および第4のゲート制御回路)である。

【0147】なお、図11に示す回路と同様の図示せぬ回路が自己消弧型半導体素子52g~52k, 52mおよび電流検出回路59c, 59dにも設けられている。

【0148】次に動作について説明する。図12は図1

0および図11に示すインバータ装置の動作を説明するタイミングチャートである。

【0149】図11のスイッチング信号保持回路74aは、図示せぬスイッチング信号生成回路により生成された自己消弧型半導体素子52b~52eへのスイッチング信号を供給され、ゲート制御回路65aまたはゲート制御回路65bより自己消弧型半導体素子52aまたは自己消弧型半導体素子52fをオフ駆動させるためのオフ信号が出力された場合に自己消弧型半導体素子52b~52eへのスイッチング信号を保持し、保持した信号を所定の期間だけ継続して出力する。なお、スイッチング信号保持回路74aはゲート制御回路65aまたはゲート制御回路65bがオフ信号を出力しない限り、供給されたスイッチング信号をそのまま出力する。

【0150】その信号に応じてしきい値選択回路71a, 71bがしきい値 I_t の大きさを選択し、ターンオンタイミング検出回路72a, 72bが自己消弧型半導体素子52a, 52fのターンオン動作を実行するタイミングを検出する。一方、比較回路64a, 64bによりしきい値 I_t と電流検出回路59a, 59bの出力 I_d とが比較され、その比較結果とターンオンタイミング検出回路72a, 72bの出力に応じてゲート制御回路65a, 65bによりゲート駆動回路73a, 73fが制御され、自己消弧型半導体素子52a, 52fのスイッチング状態がそれぞれ制御される。

【0151】また、スイッチング信号保持回路74aの出力がゲート駆動回路73b~73eに供給され、ゲート駆動回路73b~73eにより自己消弧型半導体素子52b~52eのスイッチング状態がそれぞれ制御される。

【0152】以下、図12のタイミングチャートに沿って各部の詳細な動作について説明する。まず自己消弧型半導体素子52b~52eのスイッチング動作した場合の電流検出回路59a, 59bにより検出される電流 I_d について説明する。

【0153】自己消弧型半導体素子52b~52eのスイッチング動作では、実施の形態3の場合と同様に、ターンオンする際に短絡防止時間 T_d が設けられている。

【0154】このようにして自己消弧型半導体素子52b~52eが駆動されると、電流検出回路59a, 59bによる検出電流 I_d は負荷電流 I_o の極性(向き)に応じて、図12に示すようになる。すなわち、負荷電流が正極性(図10に示す方向)である場合、自己消弧型半導体素子52cがターンオン動作を行う時刻 T_6 の直後に電流検出回路59bによる検出電流 I_d が最大になり、その最大値はフリーホイールダイオード53eの逆回復電流 I_{rr} になる。また、その場合、自己消弧型半導体素子52bがターンオン動作を行う時刻 T_8 の直後に電流検出回路59aによる検出電流 I_d が最大になり、その最大値は負荷電流 I_o と結合ダイオード76a

10

20

30

40

50

の逆回復電流 I_{rr} との和になる。

【0155】一方、負荷電流が負極性（図10に示す方向の逆方向）である場合、自己消弧型半導体素子52dがターンオン動作を行う時刻T10の直後に電流検出回路59aによる検出電流 I_d が最大になり、その最大値はフリーホイールダイオード53bの逆回復電流 I_{rr} になる。また、その場合、自己消弧型半導体素子52eがターンオン動作を行う時刻T12の直後に電流検出回路59bによる検出電流 I_d が最大になり、その最大値は負荷電流 I_o と結合ダイオード76bの逆回復電流 I_{rr} との和になる。

【0156】次に、ターンオンタイミング検出回路72a, 72bなどにより自己消弧型半導体素子52a, 52fへゲート信号が供給される際の詳細な動作について説明する。一般に、大容量GCTはウエハ口径が非常に大きいため、ターンオン時に高い電流上昇が生じた場合、全てのウエハ面がオン状態にならずゲート電極近傍の部分のみがまずオン状態となる。そして部分的にオン状態になった場所に集中して電流が流れ込むため、局部的な接合温度の上昇が発生する。この部分的にオン状態となる面積を拡げて、局部的な接合温度の上昇を抑制するためにゲート駆動回路73a, 73fによりハイゲートオン電流が供給される。

【0157】自己消弧型半導体素子52aに導通する電流に電流上昇が現れるのは、自己消弧型半導体素子52b, 52dのターンオンのタイミングである時刻T8と時刻T10のそれぞれ後であるため、ターンオンタイミング検出回路72aは、スイッチング信号保持回路74aの出力のうちの自己消弧型半導体素子52b, 52dに対応する2つの出力の値から時刻T8, T10を検出し、その検出信号をゲート制御回路65aに供給する。ゲート制御回路65aは、そのタイミングでゲート駆動回路73aを制御し、ゲート駆動回路73aに、自己消弧型半導体素子52aに対してハイゲートオン電流を供給させる。

【0158】同様に、自己消弧型半導体素子52fに導通する電流に電流上昇が現れるのは、自己消弧型半導体素子52c, 52eのターンオンのタイミングである時刻T6と時刻T12のそれぞれ後であるため、ターンオンタイミング検出回路72bは、スイッチング信号保持回路74aの出力のうちの自己消弧型半導体素子52c, 52eに対応する2つの出力の値から時刻T6, T12を検出し、その検出信号をゲート制御回路65bに供給する。ゲート制御回路65bは、そのタイミングでゲート駆動回路73fを制御し、ゲート駆動回路73fに、自己消弧型半導体素子52fに対してハイゲートオン電流を供給させる。

【0159】なお、負荷電流 I_o の極性を検出し、その極性に基づいて時刻T8または時刻T10のいずれか一方のタイミングだけを検出し、そのタイミングでゲート

駆動回路73aによりハイゲートオン電流を供給するようにしてもよい。同様に、その極性に基づいて時刻T6または時刻T12のいずれか一方のタイミングだけを検出し、そのタイミングでゲート駆動回路73fによりハイゲートオン電流を供給するようにしてもよい。

【0160】次にしきい値選択回路71a, 71bの詳細な動作について説明する。通常時においては、自己消弧型半導体素子52dがターンオンする時刻T10から自己消弧型半導体素子52bがターンオンする時刻T8までの期間においては、自己消弧型半導体素子52bがオフ駆動されているため、負荷電流 I_o の極性に拘らず、フリーホイールダイオード53bの逆回復電流 I_{rr} を超える正極性の電流は電流検出回路59aにより検出されない。しかしながら、自己消弧型半導体素子52b, 52dまたはフリーホイールダイオード53b, 53cに異常が発生した場合には、フリーホイールダイオード53bの逆回復電流 I_{rr} を超える正極性の電流が検出されることがある。

【0161】しきい値選択回路71aは、自己消弧型半導体素子52dがターンオンする時刻T10から自己消弧型半導体素子52bがターンオンする時刻T8までの期間を、スイッチング信号保持回路74aの出力のうちの自己消弧型半導体素子52b, 52dに対応する2つの出力の値から検出し、その期間におけるしきい値 I_t として、フリーホイールダイオード53bの逆回復電流 I_{rr} の最大値を超える所定の値（図中の「L1」）を選択し、比較回路64aに供給する。それ以外の期間（時刻T8から時刻T10までの期間）においては、しきい値選択回路71aは、しきい値 I_t として負荷電流 I_o の最大値と結合ダイオード76aの逆回復電流 I_{rr} の最大値との和を超える所定の値（図中の「H1」）を選択し、比較回路64aに供給する。

【0162】そして比較回路64aは電流検出回路59aによる検出電流 I_d と、供給されたしきい値 I_t とを比較して、その比較結果をゲート制御回路65aに供給し、ゲート制御回路65aは、検出電流 I_d がしきい値 I_t 以上である場合には、異常が発生したと判断して、ゲート駆動回路73aを制御して自己消弧型半導体素子52aをターンオフさせる。

【0163】ゲート制御回路65aは一旦オフ信号をゲート駆動回路73aに供給した場合、所定の期間、オフ信号を継続して供給することが好ましい。例えば比較回路64aにより、検出電流 I_d がしきい値 I_t 以上になった時刻を保持しておき、その時刻から所定の期間だけ、ゲート制御回路65aに、オフ信号を継続して供給させる。

【0164】同様に、しきい値選択回路71bは、自己消弧型半導体素子52cがターンオンする時刻T6から自己消弧型半導体素子52eがターンオンする時刻T12までの期間を、スイッチング信号保持回路74aの出

力のうちの自己消弧型半導体素子 52c, 52e に対応する 2 つの出力の値から検出し、その期間におけるしきい値 I_t として、フリーホイールダイオード 53e の逆回復電流 I_{rr} の最大値を超える所定の値（図中の「L2」）を選択し、比較回路 64b に供給する。それ以外の期間（時刻 T12 から時刻 T6 までの期間）においては、しきい値選択回路 71b は、しきい値 I_t として負荷電流 I_o の最大値と結合ダイオード 76b の逆回復電流 I_{rr} の最大値との和を超える所定の値（図中の「H2」）を選択し、比較回路 64b に供給する。

【0165】そして比較回路 64b は電流検出回路 59b による検出電流 I_d と、供給されたしきい値 I_t とを比較して、その比較結果をゲート制御回路 65b に供給し、ゲート制御回路 65b は、検出電流 I_d がしきい値 I_t 以上である場合には、異常が発生したと判断して、ゲート駆動回路 73f を制御して自己消弧型半導体素子 52f をターンオフさせる。

【0166】ゲート制御回路 65b は一旦オフ信号をゲート駆動回路 73f に供給した場合、所定の期間、オフ信号を継続して供給することが好ましい。例えば比較回路 64b により、検出電流 I_d がしきい値 I_t 以上になった時刻を保持しておき、その時刻から所定の期間だけ、ゲート制御回路 65b に、オフ信号を継続して供給させる。

【0167】なお、ゲート制御回路 65a, 65b がオフ信号を出力すると同時に、その旨の情報がスイッチング信号保持回路 74a に供給され、スイッチング信号保持回路 74a は、供給されるスイッチング信号の変化に拘わらず、スイッチング信号の値を保持する。このように、自己消弧型半導体素子 52b ~ 52e に対して過電流が流れ、自己消弧型半導体素子 52a, (52f) がオフ駆動される場合に、自己消弧型半導体素子 52b ~ 52e が電流を遮断しないようにし、自己消弧型半導体素子 52b ~ 52e がターンオフ損傷に至る可能性を低減する。

【0168】フリーホイールダイオード 53b, 53e および結合ダイオード 76a, 76b の逆回復動作が行われる時間が予め特定できる場合には、それらのダイオードの逆回復動作後に、しきい値 I_t の H1, H2 のレベルを負荷電流 I_o の最大値を超えた所定の値に変更し、L1, L2 のレベルをゼロに変更するようにしてもよい。この場合、しきい値 I_t のレベルは 4 種類となる。

【0169】また、図 11 に示す回路においては、自己消弧型半導体素子 52a, 52f をオフ駆動する旨の情報がゲート制御回路 65a, 65b からスイッチング信号保持回路 74a へ供給されるが、図 11 の破線で示すように比較回路 64a, 64b の出力をスイッチング信号保持回路 74a に直接供給し、その出力に基づいて、ゲート制御回路 65a, 65b が自己消弧型半導体素子

52a, 52f をオフ駆動することを検出するようにしてもよい。

【0170】次にクランプダイオード 66a, 66b、クランプコンデンサ 67a, 67b および放電抵抗 68a, 68b で構成される 2 つの電圧クランプ回路について説明する。

【0171】GCT である自己消弧型半導体素子 52b ~ 52e のスイッチング動作によって電流変化率抑制回路 69a, 69b に蓄積されたエネルギーは、IGBT を使用する場合には、自己消弧型半導体素子 52b ~ 52e において損失させることができるほど小さくはない。

【0172】そこで、図 10 に示すクランプダイオード 66a、クランプコンデンサ 67a および放電抵抗 68a で構成される第 2 の電圧クランプ回路により、電流変化率抑制回路 69a に蓄積されたエネルギーをクランプコンデンサ 67a に一旦吸収させるとともに、クランプダイオード 66b、クランプコンデンサ 67b および放電抵抗 68b で構成される第 3 の電圧クランプ回路により、電流変化率抑制回路 69b に蓄積されたエネルギーをクランプコンデンサ 67b に一旦吸収させる。

【0173】第 2 の電圧クランプ回路を自己消弧型半導体素子 52b, 52d に共通に適用される箇所に設けることにより、自己消弧型半導体素子 52b, 52d を、電流変化率抑制回路 69a に蓄積されたエネルギーから保護する。また、第 3 の電圧クランプ回路を自己消弧型半導体素子 52c, 52e に共通に適用される箇所に設けることにより、自己消弧型半導体素子 52c, 52e を、電流変化率抑制回路 69b に蓄積されたエネルギーから保護する。

【0174】また、自己消弧型半導体素子 52a に接続された、スナバダイオード 54a、スナバコンデンサ 55a およびスナバ抵抗 56a で構成されるスナバ回路により、自己消弧型半導体素子 52a がターンオフする際に発生する電圧上昇が抑制される。同様に、自己消弧型半導体素子 52f に接続された、スナバダイオード 54f、スナバコンデンサ 55f およびスナバ抵抗 56f で構成されるスナバ回路により、自己消弧型半導体素子 52f がターンオフする際に発生する電圧上昇が抑制される。なお、他の方法で電圧上昇を抑制するようにしてもよい。電圧上昇が抑制されれば、自己消弧型半導体素子 52a, 52f のターンオフ損失が抑制されるため、電圧クランプ回路しか接続されていない自己消弧型半導体素子 (GCT) 52b ~ 52e に比べて自己消弧型半導体素子 (GCT) 52a, 52f の遮断性能が相対的に向上することになる。

【0175】なお、図 10 および図 11 に示すインバータ装置は、GCT である自己消弧型半導体素子 52b ~ 52e のターンオン動作に同期して GCT である自己消弧型半導体素子 52a, 52f にハイゲートオン電流を

10

20

30

40

50

与える機能、GCTである自己消弧型半導体素子52b～52eのスイッチング状態に応じてしきい値を変化させる機能、GCTである自己消弧型半導体素子52b～52eに共通に電圧クランプ回路を接続する構成、電流変化率抑制回路69a、69bを介して自己消弧型半導体素子52a、52fを直流電圧回路51に接続する構成など、インバータ装置の信頼性の向上を提供する様々な機能や構成が採用されているが、必ずしも全ての機能や構成を採用する必要はなく、使用する自己消弧型半導体素子の特性に応じて機能や構成を適宜選択して採用するようにしてもよい。例えばターンオンタイミング検出回路72a、72bを省略してゲート駆動回路73a、73fのゲートオン電流を増加する構成にすることにより、図11に示す回路構成を簡素化して信頼性を向上させることなどが考えられる。

【0176】なお、上記動作の説明においては、1つのインバータブリッジに関連する部分の動作を説明しているが、他のインバータブリッジに関連する部分の動作についても同様である。

【0177】以上のように、この実施の形態7によれば、3レベルインバータブリッジの4つの自己消弧型半導体素子52b～52e(52h～52k)に他の自己消弧型半導体素子52a、52f(52g、52m)を直列接続し、その自己消弧型半導体素子52a、52f(52g、52m)を2つの自己消弧型半導体素子52b～52e(52h～52k)のスイッチング状態に拘らずターンオフ動作可能なようにしたので、自己消弧型半導体素子を損傷させることなく異常電流を遮断することができ、不慮の事故の波及が抑制され、インバータ装置の信頼性を向上させることができるという効果が得られる。

【0178】また、この実施の形態7によれば、ゲート制御回路65a、65bが自己消弧型半導体素子52b～52e(52h～52k)のターンオン動作に同期して自己消弧型半導体素子52a、52f(52g、52m)にオン駆動させるようにしたので、自己消弧型半導体素子52a、52f(52g、52m)を確実にオン状態にすることができ、半導体ウエハ上の部分的な電流集中による素子損傷の発生が抑制され、インバータ装置の信頼性を向上させることができるという効果が得られる。

【0179】さらに、この実施の形態7によれば、自己消弧型半導体素子52b～52e(52h～52k)のスイッチング状態に応じて、異常電流の検出のためのしきい値に異なる値を使用するようにしたので、その時点のスイッチング状態に応じて高速に異常電流を検出し遮断することができ、インバータ装置の信頼性を向上させることができるという効果が得られる。

【0180】さらに、この実施の形態7によれば、2つの自己消弧型半導体素子52b、52d(52c、52

e)(52h、52j)(52i、52k)に対して共通の電圧クランプ回路を設けたので、自己消弧型半導体素子52b、52d(52c、52e)(52h、52j)(52i、52k)のオフ駆動時の電圧が抑制され、3レベルインバータブリッジでの電力損失を低減することができ、インバータ装置を低損失化することができるという効果が得られる。

【0181】さらに、この実施の形態7によれば、自己消弧型半導体素子52a、52f(52g、52m)のターンオフ動作時の自己消弧型半導体素子52b～52e(52h～52k)のスイッチング状態を保持、固定するようにしたので、自己消弧型半導体素子52b～52e(52h～52k)が誤って事故電流を遮断して損傷することを防止してインバータ装置の信頼性を向上させることができるという効果が得られる。

【0182】さらに、この実施の形態7によれば、電流変化率抑制回路69a、69b(69c、69d)を介して3レベルインバータブリッジが直流電圧回路に接続されるので、自己消弧型半導体素子52b～52e(52h～52k)のターンオン時に流れるオン電流の増加率を抑制することができ、異常電流の検出時における電流検出遅れが補償され、インバータ装置の信頼性を向上させることができるという効果が得られる。

【0183】実施の形態8. 図13は、この発明の実施の形態8によるインバータ装置の構成を示す回路図である。この発明の実施の形態8によるインバータ装置は、実施の形態7によるインバータ装置(図10)における自己消弧型半導体素子52a、52f、52g、52m、フリーホイールダイオード53a、53f、53g、53m、スナバ回路(スナバダイオード54a、54f、54g、54m、スナバコンデンサ55a、55f、55g、55mおよびスナバ抵抗56a、56f、56g、56m)の設置位置を図13に示すように変更したものである。

【0184】また、自己消弧型半導体素子52b、52d(52c、52e)(52h、52j)(52i、52k)には共通に電圧クランプ回路(クランプダイオード66a～66d、クランプコンデンサ67a～67d、放電抵抗68a～68d)が接続される。

【0185】なお、実施の形態8によるインバータ装置におけるその他の構成要素については実施の形態7によるインバータ装置(図10および図11)と同様であるので、その説明を省略する。

【0186】また、電流検出回路59a～59dの設置位置は自己消弧型半導体素子52a、52f、52g、52mに流れる電流がそれぞれ等価的に検出できる位置ならばよく、特に限定されることはない。

【0187】次に動作について説明する。この実施の形態8によるインバータ装置においては、電流変化率抑制回路69a～69dがクランプダイオード66a～66

10

20

30

40

50

dおよび放電抵抗68a～68dとともにそれぞれ閉回路を構成するため、その各閉回路内に自己消弧型半導体素子52a, 52f, 52g, 52mなどが配置されず、自己消弧型半導体素子52a, 52f, 52g, 52mがターンオフした場合に電流変化率抑制回路69a～69dに蓄積されるエネルギーの全てがスナバコンデンサ55a, 55f, 55g, 55mに吸収されることはない。

【0188】したがって、式(4)の条件に制限されることなくスナバコンデンサ55a, 55f, 55g, 55mの静電容量Csを設計することができ、実施の形態3におけるスナバコンデンサ55a, 55f, 55g, 55mに比較して静電容量は小さく設計される。

【0189】なお、実施の形態8によるインバータ装置におけるその他の動作については実施の形態7によるインバータ装置(図10および図11)と同様であるので、その説明を省略する。

【0190】以上のように、この実施の形態8によれば、実施の形態7による効果の他、スナバコンデンサ55a, 55f, 55g, 55mの静電容量を小さく設計することができるという効果が得られる。

【0191】実施の形態9. 図14は、この発明の実施の形態9によるインバータ装置の構成を示す回路図である。この発明の実施の形態9によるインバータ装置は、実施の形態7によるインバータ装置(図10)における電圧クランプ回路(クランプダイオード66a～66d、クランプコンデンサ67a～67dおよび放電抵抗68a～68d)の設置位置を図14に示すように変更したものである。

【0192】この実施の形態9によるインバータ装置(図14)においては、クランプダイオード66a、クランプコンデンサ67aおよび放電抵抗68aで構成される第2の電圧クランプ回路が自己消弧型半導体素子52a, 52b, 52dに共通に接続され、クランプダイオード66b、クランプコンデンサ67bおよび放電抵抗68bで構成される第3の電圧クランプ回路が自己消弧型半導体素子52c, 52e, 52fに共通に接続される。

【0193】また同様に、クランプダイオード66c、クランプコンデンサ67cおよび放電抵抗68cで構成される第2の電圧クランプ回路が自己消弧型半導体素子52g, 52h, 52jに共通に接続され、クランプダイオード66d、クランプコンデンサ67dおよび放電抵抗68dで構成される第3の電圧クランプ回路が自己消弧型半導体素子52i, 52k, 52mに共通に接続される。

【0194】なお、実施の形態9によるインバータ装置におけるその他の構成要素については実施の形態7によるインバータ装置(図10および図11)と同様であるので、その説明を省略する。

【0195】また、電流検出回路59a～59dの設置位置は自己消弧型半導体素子52a, 52f, 52g, 52mに流れる電流が等価的に検出できる位置ならばよく、特に限定されることはない。

【0196】次に動作について説明する。自己消弧型半導体素子52aがターンオフした場合、電流変化率抑制回路69aに蓄積されたエネルギーはまずスナバコンデンサ55aに吸収されていくが、スナバコンデンサ55aの充電電圧が直流電圧回路51の電圧E以上になると、スナバコンデンサ55aとクランプコンデンサ67aとにより吸収される。

【0197】同様に、自己消弧型半導体素子52f, 52g, 52mがターンオフした場合、電流変化率抑制回路69f, 69g, 69mにそれぞれ蓄積されたエネルギーはまずスナバコンデンサ55f, 55g, 55mにそれぞれ吸収されていくが、スナバコンデンサ55f, 55g, 55mの充電電圧が直流電圧回路51の電圧E以上になると、スナバコンデンサ55b, 55c, 55dとクランプコンデンサ67b, 67c, 67dとにより吸収される。

【0198】したがって、スナバコンデンサ55a, 55f, 55g, 55mの静電容量を小さく設計することができる。

【0199】なお、実施の形態9によるインバータ装置におけるその他の動作については実施の形態7によるインバータ装置(図10および図11)と同様であるので、その説明を省略する。

【0200】以上のように、この実施の形態9によれば、自己消弧型半導体素子52a, 52b, 52d(52c, 52e, 52f)(52g, 52h, 52j)(52i, 52k, 52m)に対して共通の電圧クランプ回路を設けたので、自己消弧型半導体素子52a, 52b, 52d(52c, 52e, 52f)(52g, 52h, 52j)(52i, 52k, 52m)のオフ駆動時の電圧が抑制され、異常電流を遮断するための自己消弧型半導体素子52a, 52f, 52g, 52mにそれぞれ接続されるスナバコンデンサ55a, 55f, 55g, 55mの静電容量を低減することができ、インバータ装置を小型化することができるという効果が得られる。

【0201】実施の形態10. 図15は、この発明の実施の形態10によるインバータ装置の構成を示す回路図である。この発明の実施の形態10によるインバータ装置は、実施の形態9によるインバータ装置(図14)における第2および第3の電圧クランプ回路(クランプダイオード66a～66d、クランプコンデンサ67a～67dおよび放電抵抗68a～68d)の設置位置を図15に示すように変更するとともに、放電抵抗68a～68dをスナバ抵抗としても使用するようにしたものである。

【0202】この実施の形態10によるインバータ装置(図15)においては、スナバ回路のスナバ抵抗56a, 56f, 56g, 56mが省略されるとともに、クランプダイオード66a~66dのアノードがスナバダイオード54a, 54f, 54g, 54mのカソードにそれぞれ接続される。

【0203】なお、実施の形態10によるインバータ装置におけるその他の構成要素については実施の形態9によるインバータ装置(図14)と同様であるので、その説明を省略する。また動作についても実施の形態9によるインバータ装置と同様であるので、その説明を省略する。

【0204】また、電流検出回路69a~69dの設置位置は自己消弧型半導体素子52a, 52f, 52g, 52mに流れる電流が等価的に検出できる位置ならばよく、特に限定されることはない。

【0205】以上のように、この実施の形態10によれば、クランプダイオード66a~66dのアノードをスナバダイオード54a, 54f, 54g, 54mのカソードにそれぞれ接続し、電圧クランプ回路の放電抵抗68a~68dをスナバ回路のスナバ抵抗56a, 56f, 56g, 56mとしても使用するようにしてスナバ抵抗56a, 56f, 56g, 56mを省略するようになったので、部品点数が減り、インバータ装置のサイズおよびコストを低減することができるという効果が得られる。

【0206】実施の形態11。上述の実施の形態3から実施の形態10によるインバータ装置においては電圧クランプ回路、第2および第3の電圧クランプ回路の放電抵抗18a, 18b, 68a~68dにおいて電力損失が生ずるが、この発明の実施の形態11によるインバータ装置は、放電抵抗の代わりに、電力を回生するための回路を設け、電力損失を低減するものである。

【0207】図16は、この発明の実施の形態11により、放電抵抗の代わりに2レベルインバータブリッジに設けた電力回生回路の一例を示す回路図である。図17は、この発明の実施の形態11により、放電抵抗の代わりに3レベルインバータブリッジに設けた電力回生回路の一例を示す回路図である。

【0208】図において、87、87aおよび87bは電圧クランプ時に生ずる余剰電荷を一時的に蓄積する回収コンデンサであり、88、88aおよび88bは電圧クランプ時に生ずる余剰電荷を回収コンデンサ87, 87a, 87bにそれぞれ導通させる回収ダイオードであり、89、89aおよび89bは回収コンデンサ87, 87a, 87bに蓄積された電荷を直流電圧回路1, 51に回生する電力回生回路である。

【0209】なお、図16におけるその他の構成要素については実施の形態3(図4)によるものと同様であり、図17におけるその他の構成要素については実施の

形態7(図10)によるものと同様であるので、それらの説明を省略する。

【0210】次に動作について説明する。回収ダイオード88, 88a, 88bは電圧クランプ時に生ずる余剰電荷を回収コンデンサ87, 87a, 87bにそれぞれ導通させ、回収コンデンサ87, 87a, 87bはその電荷を蓄積する。そして、電力回生回路89, 89a, 89bは回収コンデンサ87, 87a, 87bに蓄積された電荷を直流電圧回路1, 51に回生する。これにより電圧クランプ時の余剰電荷が再利用される。

【0211】なお、その他の動作については、実施の形態3および実施の形態7の場合とそれぞれ同様であるので、それらの説明を省略する。

【0212】なお、上記図16の装置は、実施の形態3による装置に電力回生回路を設けたものであるが、同様に実施の形態4から実施の形態6による装置に電力回生回路を設けることも可能である。また、上記図17の装置は、実施の形態7による装置に電力回生回路を設けたものであるが、同様に実施の形態8から実施の形態10による装置に電力回生回路を設けることも可能である。

【0213】以上のように、この実施の形態11によれば、電圧クランプ回路の放電抵抗の代わりに電力を回生するための回路を設けたので、電力損失を低減することができるという効果が得られる。

【0214】なお、例えば図4の装置において電流検出回路9aは自己消弧型半導体素子2aのカソード側に挿入されているが、アノード側に挿入されても何ら問題はない。

【0215】また、自己消弧型半導体素子2aに導通する電流を直接検出しなくても、例えば自己消弧型半導体素子2cに導通する電流と負荷電流とから演算により求めるようにしてもよい。

【0216】さらに、図9の装置においては放電抵抗18aをスナバ抵抗としても使用するようにしているが、例えば図18に示すようにしてスナバ抵抗を省略することもできる。この場合に、補助的なクランプダイオード91aを使用する。

【0217】なお、本発明は、以上の実施の形態に示す装置などに限定されることはなく、各実施の形態による装置についてはこのように様々な修正および変形が可能である。

【0218】

【発明の効果】以上のように、この発明によれば、直流電圧回路からインバータブリッジを介して直流電圧回路に戻る第1の閉回路並びにインバータブリッジから負荷回路および他のインバータブリッジを介して元のインバータブリッジに戻る第2の閉回路において共通する経路にインバータブリッジ毎に挿入され、異常電流を遮断する遮断用自己消弧型半導体素子と、遮断用自己消弧型半導体素子に逆並列に接続される遮断用フリーホイールダ

10

20

30

40

50

イオードと、遮断用自己消弧型半導体素子に導通する電流が所定のしきい値以上になった場合に遮断用自己消弧型半導体素子をターンオフさせるゲート制御回路とを備えるようにしたので、何らかの原因によりインバータブリッジに異常が発生して過電流が生じた場合にその過電流を遮断し除去することができるという効果がある。ひいては、短絡経路と還流経路とに共通な経路に接続される自己消弧型半導体素子により異常電流を遮断するため、不慮の事故が波及することを抑制し、インバータ装置の信頼性を向上させることができるという効果がある。

【0219】この発明によれば、遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する電流変化率抑制回路を備えるようにしたので、異常電流遮断時に発生するターンオフ損失が低減され、遮断限界が高くなり異常電流遮断動作に対する信頼性が向上し、ひいてはインバータ装置の信頼性を向上させることができるという効果がある。

【0220】この発明によれば、互いに直列に接続され、所定のスイッチング信号に従ってインバータ駆動される第1および第2の自己消弧型半導体素子と、第1および第2の自己消弧型半導体素子にそれぞれ逆並列に接続される第1および第2のフリーホイールダイオードと、第1および第2の自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第1および第2のゲート駆動回路と、第1および第2の自己消弧型半導体素子に直列に接続され、異常電流を遮断する遮断用自己消弧型半導体素子と、遮断用自己消弧型半導体素子に逆並列に接続される遮断用フリーホイールダイオードと、遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する電流変化率抑制回路と、遮断用自己消弧型半導体素子にゲート信号を供給して駆動する第3のゲート駆動回路と、遮断用自己消弧型半導体素子に導通する電流が所定のしきい値以上になった場合に第3のゲート駆動回路を制御して遮断用自己消弧型半導体素子をターンオフさせるゲート制御回路とを2レベルインバータブリッジ毎に備えるようにしたので、遮断用自己消弧型半導体素子により第1および第2の自己消弧型半導体素子のスイッチング状態に拘らずターンオフ動作させて異常電流を遮断し、不慮の事故が波及することを抑制し、インバータ装置の信頼性を向上させることができるという効果がある。

【0221】この発明によれば、第1および第2の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して遮断用自己消弧型半導体素子をターンオンさせるように構成したので、遮断用自己消弧型半導体素子を確実にオン状態にすることができ、半導体ウエハ上の部分的な電流集中による素子損傷の発生を抑制することができ、インバータ装置の信頼性を向上させることができるという効果がある。

【0222】この発明によれば、所定のしきい値を、第

1の自己消弧型半導体素子のターンオンのタイミングから第2の自己消弧型半導体素子のターンオンのタイミングまでの期間と、それ以外の期間とでそれぞれ所定の値に変化させるしきい値変更回路を備えるようにしたので、その時点のスイッチング状態に応じて高速に異常電流を検出し遮断することができ、インバータ装置の信頼性を向上させることができるという効果がある。

【0223】この発明によれば、第1および第2の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする電圧クランプ回路を備えるようにしたので、第1および第2の自己消弧型半導体素子のオフ駆動時の電圧が抑制され、2レベルインバータブリッジでの電力損失を低減することができ、インバータ装置を低損失化することができるという効果がある。

【0224】この発明によれば、第1および第2の自己消弧型半導体素子並びに遮断用自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする電圧クランプ回路を備えるように構成したので、第1および第2の自己消弧型半導体素子のオフ駆動時の電圧が抑制され、2レベルインバータブリッジでの電力損失を低減することができ、インバータ装置を低損失化することができるとともに、遮断用自己消弧型半導体素子に接続されるスナバコンデンサの静電容量を低減でき、インバータ装置を小型化することができるという効果がある。

【0225】この発明によれば、遮断用自己消弧型半導体素子がターンオフしたときの第1および第2の自己消弧型半導体素子のスイッチング状態を所定の期間だけそのまま保持する第2のゲート制御回路を備えるようにしたので、第1および第2の自己消弧型半導体素子が誤って事故電流を遮断して損傷することを抑制してインバータ装置の信頼性を向上させることができるという効果がある。

【0226】この発明によれば、遮断用自己消弧型半導体素子に導通する電流の変化を抑制する電圧上昇率抑制回路を備えるようにしたので、第1および第2の自己消弧型半導体素子のターンオン時に流れるオン電流の増加率を抑制することができ、異常電流の検出時における電流検出遅れが補償され、インバータ装置の信頼性を向上させることができるという効果がある。

【0227】この発明によれば、互いに直列に接続され、所定のスイッチング信号に従ってインバータ駆動される第3～第6の自己消弧型半導体素子と、それらにそれぞれ逆並列に接続される第3～第6のフリーホイールダイオードと、第3～第6の自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第3～第6のゲート駆動回路と、第3の自己消弧型半導体素子と第4の自己消弧型半導体素子との接続点と直流電圧回路の中性点との間に接続される第1の結合ダイオードと、第5の自

己消弧型半導体素子と第6の自己消弧型半導体素子との接続点と直流電圧回路の中性点との間に接続される第2の結合ダイオードと、第3および第4の自己消弧型半導体素子に直列に接続され、異常電流を遮断する第1の遮断用自己消弧型半導体素子と、第1の遮断用自己消弧型半導体素子に逆並列に接続される第1の遮断用フリーホイールダイオードと、第1の遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する第1の電圧上昇率抑制回路と、第5および第6の自己消弧型半導体素子に直列に接続され、異常電流を遮断する第2の遮断用自己消弧型半導体素子と、第2の遮断用自己消弧型半導体素子に逆並列に接続される第2の遮断用フリーホイールダイオードと、第2の遮断用自己消弧型半導体素子の両端の電圧の上昇を抑制する第2の電圧上昇率抑制回路と、第1および第2の遮断用自己消弧型半導体素子にそれぞれゲート信号を供給して駆動する第7および第8のゲート駆動回路と、第1の遮断用自己消弧型半導体素子に導通する電流が所定の第1のしきい値以上になった場合に第7のゲート駆動回路を制御して第1の遮断用自己消弧型半導体素子をターンオフさせる第3のゲート制御回路と、第2の遮断用自己消弧型半導体素子に導通する電流が所定の第2のしきい値以上になった場合に第8のゲート駆動回路を制御して第2の遮断用自己消弧型半導体素子をターンオフさせる第4のゲート制御回路とを3レベルインバータブリッジ毎に備えるようにしたので、第1および第2の遮断用自己消弧型半導体素子により第3～第6の自己消弧型半導体素子のスイッチング状態に拘らずターンオフ動作させ、異常電流を遮断するため、自己消弧型半導体素子を損傷させることなく異常電流を遮断することができ、不慮の事故の波及が抑制され、インバータ装置の信頼性を向上させることができるという効果がある。

【0228】この発明によれば、第3および第5の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して第1の遮断用自己消弧型半導体素子をターンオンさせ、第4および第6の自己消弧型半導体素子がそれぞれターンオンするタイミングに同期して第2の遮断用自己消弧型半導体素子をターンオンさせるように構成したので、第1および第2の遮断用自己消弧型半導体素子を確実にオン状態にすることができ、半導体ウエハ上の部分的な電流集中による素子損傷の発生を抑制することができ、インバータ装置の信頼性を向上させることができるという効果がある。

【0229】この発明によれば、所定の第1のしきい値を、第3の自己消弧型半導体素子のターンオンのタイミングから第5の自己消弧型半導体素子のターンオンのタイミングまでの期間と、それ以外の期間とでそれぞれ所定の値に変化させる第1のしきい値変更回路と、所定の第2のしきい値を、第4の自己消弧型半導体素子のターンオンのタイミングから第6の自己消弧型半導体素子の

ターンオンのタイミングまでの期間と、それ以外の期間とでそれぞれ所定の値に変化させる第2のしきい値変更回路とを備えるようにしたので、その時点のスイッチング状態に応じて高速に異常電流を検出し遮断することができ、インバータ装置の信頼性を向上させることができるという効果がある。

【0230】この発明によれば、第3および第5の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第2の電圧クランプ回路と、第4および第6の自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第3の電圧クランプ回路とを備えるようにしたので、第3および第5の自己消弧型半導体素子のオフ駆動時の電圧および第4および第6の自己消弧型半導体素子のオフ駆動時の電圧が抑制され、3レベルインバータブリッジでの電力損失を低減することができ、インバータ装置を低損失化することができるという効果がある。

【0231】この発明によれば、第3および第5の自己消弧型半導体素子並びに第1の遮断用自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第2の電圧クランプ回路と、第4および第6の自己消弧型半導体素子並びに第2の遮断用自己消弧型半導体素子に対してオフ駆動時に印加される電圧を所定の電圧以下にクランプする第3の電圧クランプ回路とを備えるように構成したので、第3および第5の自己消弧型半導体素子のオフ駆動時の電圧および第4および第6の自己消弧型半導体素子のオフ駆動時の電圧が抑制され、3レベルインバータブリッジでの電力損失を低減することができ、インバータ装置を低損失化することができるとともに、第1および第2の遮断用自己消弧型半導体素子に接続されるスナバコンデンサの静電容量を低減でき、インバータ装置を小型化することができるという効果がある。

【0232】この発明によれば、第1および第2の遮断用自己消弧型半導体素子のいずれかがターンオフしたときの第3～第6の自己消弧型半導体素子のスイッチング状態を所定の期間だけそのまま保持する第5のゲート制御回路を備えるように構成したので、第3～第6の自己消弧型半導体素子が誤って事故電流を遮断して損傷することを抑制してインバータ装置の信頼性を向上させることができるという効果がある。

【0233】この発明によれば、第1の遮断用自己消弧型半導体素子に導通する電流の変化を抑制する第1の電流変化率抑制回路と、第2の遮断用自己消弧型半導体素子に導通する電流の変化を抑制する第2の電流変化率抑制回路とを備えるようにしたので、第3～第6の自己消弧型半導体素子のターンオン時に流れるオン電流の増加率を抑制することができ、異常電流の検出時における電流検出遅れが補償され、インバータ装置の信頼性を向上させることができるという効果がある。

【0234】この発明によれば、第1～第6の自己消弧型半導体素子、遮断用自己消弧型半導体素子並びに第1および第2の遮断用自己消弧型半導体素子に、ゲート転流型ターンオフサイリスタを使用したので、大容量のインバータブリッジを実現することができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるインバータ装置の構成を示す回路図である。

【図2】 図1における自己消弧型半導体素子のゲート駆動回路とその周辺回路の一例を示す図である。

【図3】 この発明の実施の形態2によるインバータ装置の構成を示す回路図である。

【図4】 この発明の実施の形態3によるインバータ装置の構成を示す回路図である。

【図5】 図4における自己消弧型半導体素子のゲート駆動回路とその周辺回路の一例を示す図である。

【図6】 図4および図5に示すインバータ装置の動作を説明するタイミングチャートである。

【図7】 この発明の実施の形態4によるインバータ装置の構成を示す回路図である。

【図8】 この発明の実施の形態5によるインバータ装置の構成を示す回路図である。

【図9】 この発明の実施の形態6によるインバータ装置の構成を示す回路図である。

【図10】 この発明の実施の形態7によるインバータ装置の構成を示す回路図である。

【図11】 図10における自己消弧型半導体素子のゲート駆動回路とその周辺回路の一例を示す図である。

【図12】 図10および図11に示すインバータ装置の動作を説明するタイミングチャートである。

【図13】 この発明の実施の形態8によるインバータ装置の構成を示す回路図である。

【図14】 この発明の実施の形態9によるインバータ装置の構成を示す回路図である。

【図15】 この発明の実施の形態10によるインバータ装置の構成を示す回路図である。

【図16】 この発明の実施の形態11により、放電抵抗の代わりに2レベルインバータブリッジに設けた電力回生回路の一例を示す回路図である。

【図17】 この発明の実施の形態11により、放電抵抗の代わりに3レベルインバータブリッジに設けた電力回生回路の一例を示す回路図である。

【図18】 図9のインバータ装置の変形例を示す回路図である。

【図19】 従来のインバータ装置の構成を示す回路図である。

【図20】 従来のインバータ装置についての課題を示す図である。

【図21】 従来のインバータ装置についての課題を示

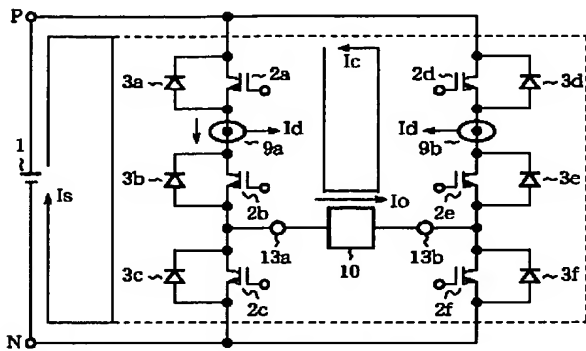
す図である。

【符号の説明】

1, 51 直流電圧回路、2a, 2d 自己消弧型半導体素子（遮断用自己消弧型半導体素子）、2b, 2e 自己消弧型半導体素子（第1の自己消弧型半導体素子）、2c, 2f 自己消弧型半導体素子（第2の自己消弧型半導体素子）、3a, 3d フリーホイールダイオード（遮断用フリーホイールダイオード）、3b, 3e フリーホイールダイオード（第1のフリーホイールダイオード）、3c, 3f フリーホイールダイオード（第2のフリーホイールダイオード）、4a, 4d スナバダイオード（電圧上昇率抑制回路）、5a, 5d スナバコンデンサ（電圧上昇率抑制回路）、6a, 6d スナバ抵抗（電圧上昇率抑制回路）、10, 60 負荷回路、15a, 26a ゲート制御回路、16a, 16b クランプダイオード（電圧クランプ回路）、17a, 17b クランプコンデンサ（電圧クランプ回路）、18a, 18b 放電抵抗（電圧クランプ回路）、19a, 19b 電流変化率抑制回路、21a しきい値選択回路（しきい値変更回路）、23a ゲート駆動回路（第3のゲート駆動回路）、23b ゲート駆動回路（第1のゲート駆動回路）、23c ゲート駆動回路（第2のゲート駆動回路）、24a スイッチング信号保持回路（第2のゲート制御回路）、52a, 52g 自己消弧型半導体素子（第1の遮断用自己消弧型半導体素子）、52b, 52h 自己消弧型半導体素子（第3の自己消弧型半導体素子）、52c, 52i 自己消弧型半導体素子（第4の自己消弧型半導体素子）、52d, 52j 自己消弧型半導体素子（第5の自己消弧型半導体素子）、52e, 52k 自己消弧型半導体素子（第6の自己消弧型半導体素子）、52f, 52m 自己消弧型半導体素子（第2の遮断用自己消弧型半導体素子）、53a, 53g フリーホイールダイオード（第1の遮断用フリーホイールダイオード）、53b, 53h フリーホイールダイオード（第3のフリーホイールダイオード）、53c, 53i フリーホイールダイオード（第4のフリーホイールダイオード）、53d, 53j フリーホイールダイオード（第5のフリーホイールダイオード）、53e, 53k フリーホイールダイオード（第6のフリーホイールダイオード）、53f, 53m フリーホイールダイオード（第2の遮断用フリーホイールダイオード）、54a, 54g スナバダイオード（第1の電圧上昇率抑制回路）、54f, 54m スナバダイオード（第2の電圧上昇率抑制回路）、55a, 55g スナバコンデンサ（第1の電圧上昇率抑制回路）、55f, 55m スナバコンデンサ（第2の電圧上昇率抑制回路）、56a, 56g スナバ抵抗（第1の電圧上昇率抑制回路）、56f, 56m スナバ抵抗（第2の電圧上昇率抑制回路）、65a ゲート制御回路（第3のゲート制御回路）、65b ゲー

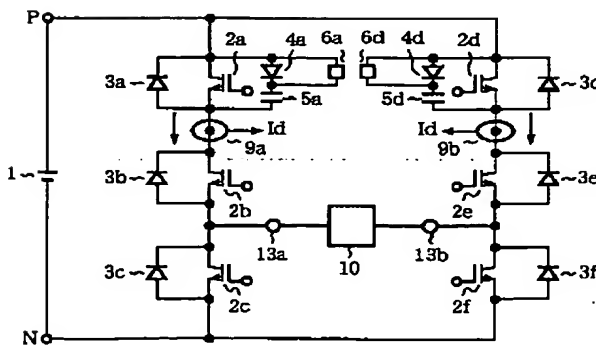
ト制御回路（第4のゲート制御回路）、66a、66c
 クランプダイオード（第2の電圧クランプ回路）、6
 6b、66d クランプダイオード（第3の電圧クラン
 プ回路）、67a、67c クランプコンデンサ（第2
 の電圧クランプ回路）、67b、67d クランプコン
 デンサ（第3の電圧クランプ回路）、68a、68c
 放電抵抗（第2の電圧クランプ回路）、68b、68d
 放電抵抗（第3の電圧クランプ回路）、69a、69
 c 電流変化率抑制回路（第1の電流変化率抑制回
 路）、69b、69d 電流変化率抑制回路（第2の電
 流変化率抑制回路）、71a しきい値選択回路（第1*

【図1】



- 1: 直流電圧回路
 2a, 2d: 自己消弧型半導体素子 (遮断用自己消弧型半導体素子)
 2b, 2e: 自己消弧型半導体素子 (第1の自己消弧型半導体素子)
 2c, 2f: 自己消弧型半導体素子 (第2の自己消弧型半導体素子)
 3a, 3d: フリーホイールダイオード (遮断用フリーホイールダイオード)
 3b, 3e: フリーホイールダイオード (第1のフリーホイールダイオード)
 3c, 3f: フリーホイールダイオード (第2のフリーホイールダイオード)
 10: 負荷回路

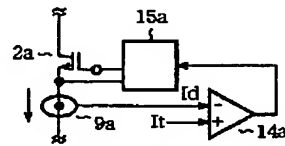
【図3】



- 4a, 4d: スナバダイオード (電圧上昇率抑制回路)
 5a, 5d: スナバコンデンサ (電圧上昇率抑制回路)
 6a, 6d: スナバ抵抗 (電圧上昇率抑制回路)

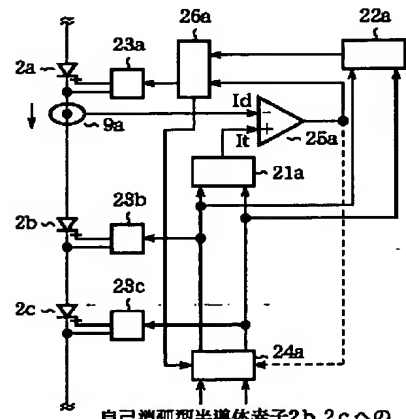
*のしきい値変更回路)、71b しきい値選択回路（第
 2のしきい値変更回路）、73a ゲート駆動回路（第
 7のゲート駆動回路）、73b ゲート駆動回路（第3
 のゲート駆動回路）、73c ゲート駆動回路（第4の
 ゲート駆動回路）、73d ゲート駆動回路（第5のゲ
 ート駆動回路）、73e ゲート駆動回路（第6のゲ
 ート駆動回路）、73f ゲート駆動回路（第8のゲ
 ート駆動回路）、74a スwitching信号保持回路（第5
 のゲート制御回路）、76a、76c 結合ダイオード
 （第1の結合ダイオード）、76b、76d 結合ダイ
 オード（第2の結合ダイオード）。

【図2】



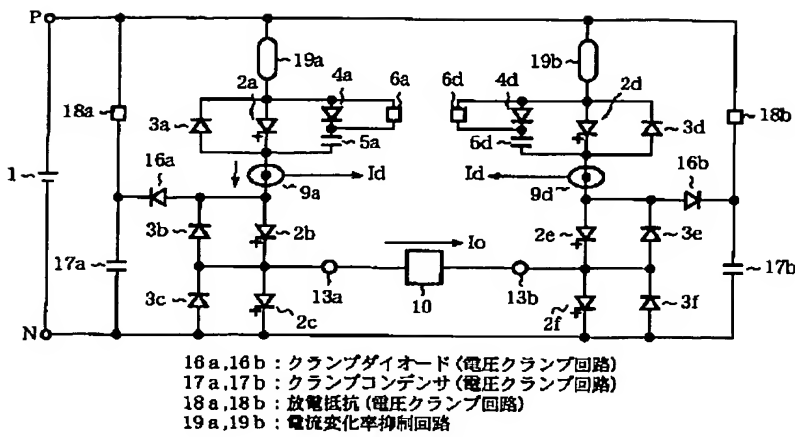
15a: ゲート制御回路

【図5】

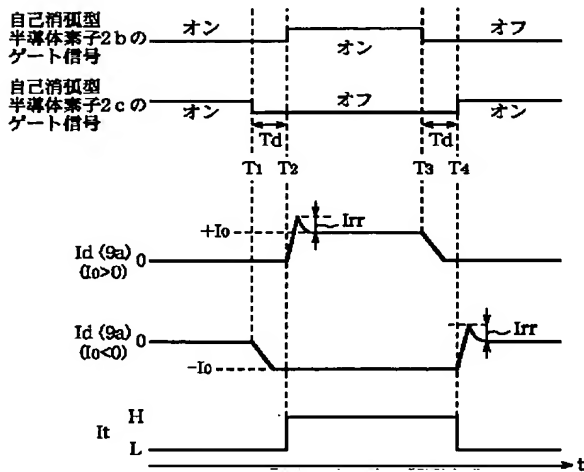
自己消弧型半導体素子2b, 2cへの
スイッチング信号

- 21a: しきい値選択回路 (しきい値変更回路)
 23a: ゲート駆動回路 (第3のゲート駆動回路)
 23b: ゲート駆動回路 (第1のゲート駆動回路)
 23c: ゲート駆動回路 (第2のゲート駆動回路)
 24a: スwitching信号保持回路 (第2のゲート制御回路)
 26a: ゲート制御回路

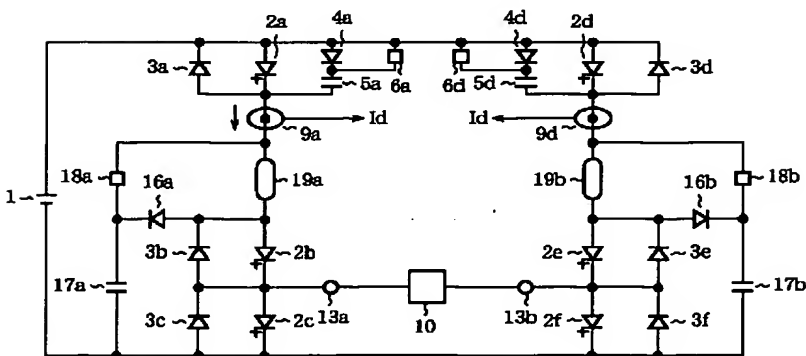
【図4】



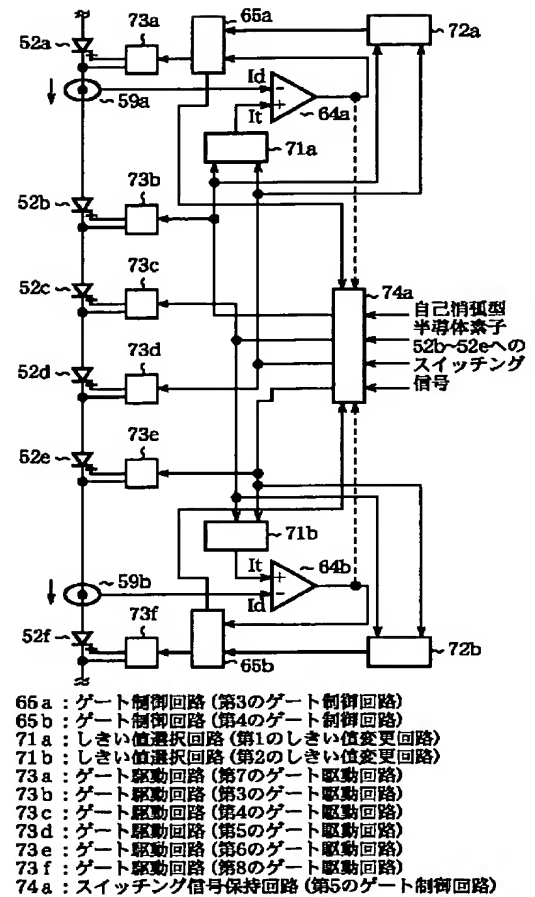
【図6】



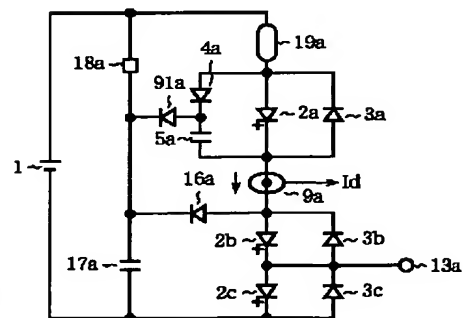
【図7】



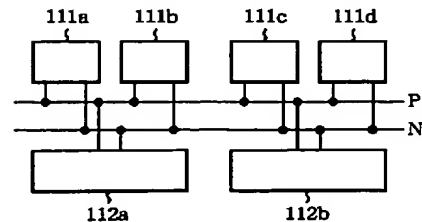
【図11】



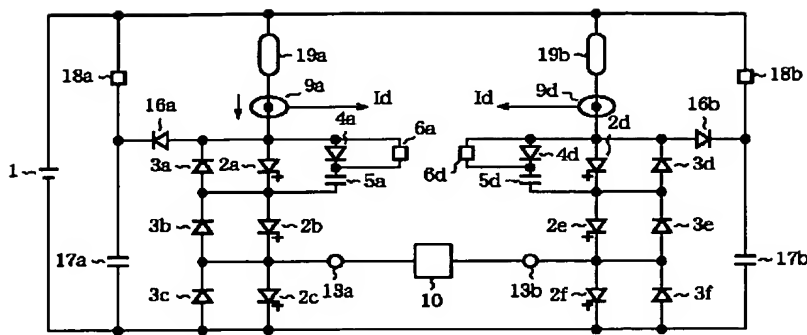
【図18】



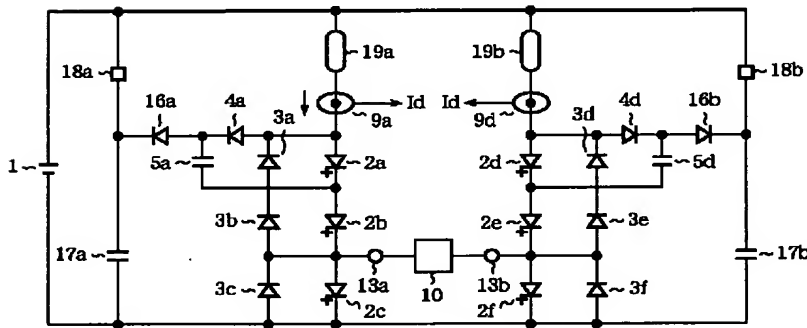
【図21】



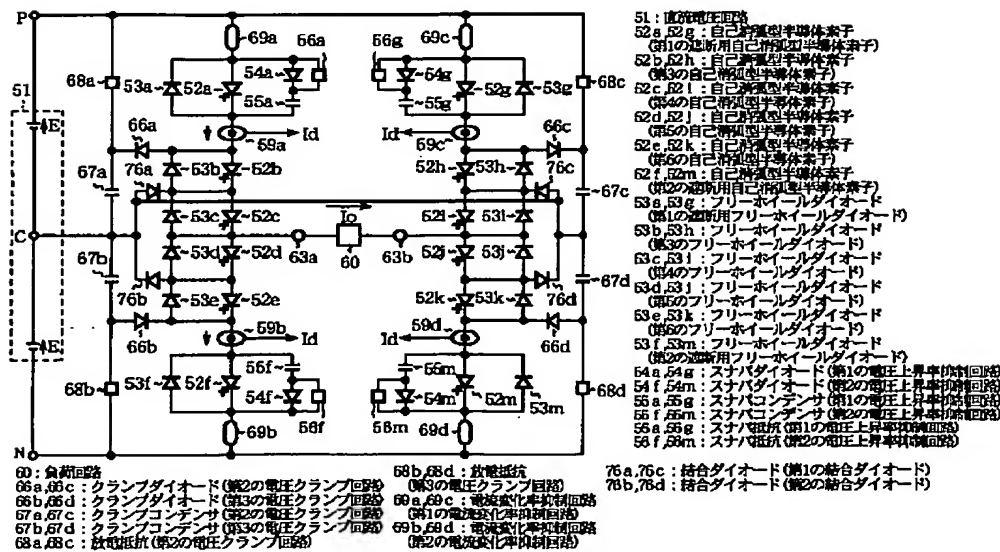
【図8】



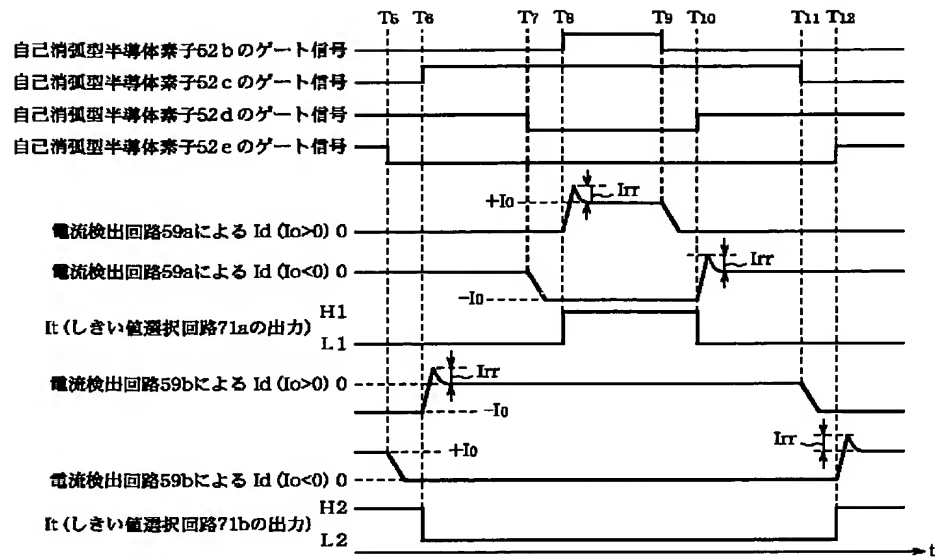
【図9】



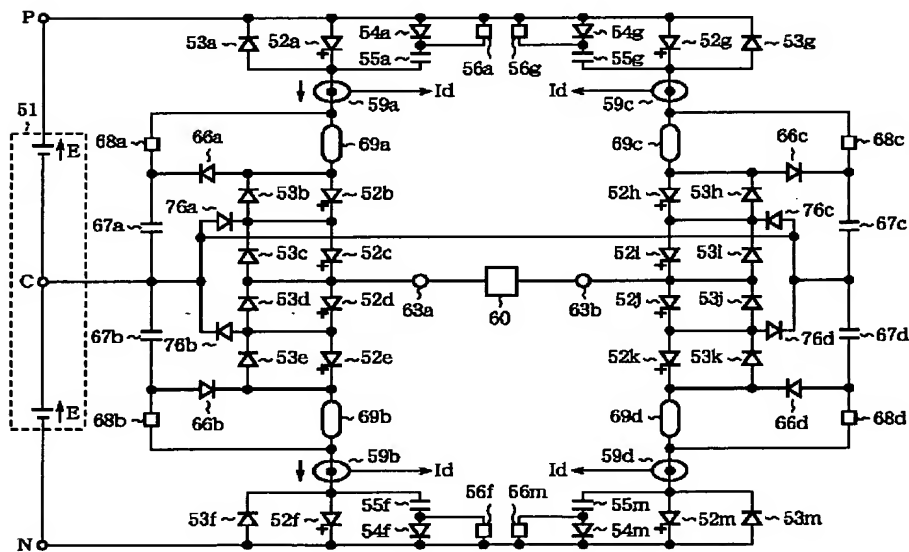
【図10】



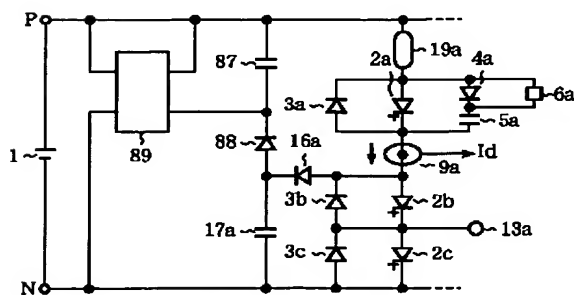
【図12】



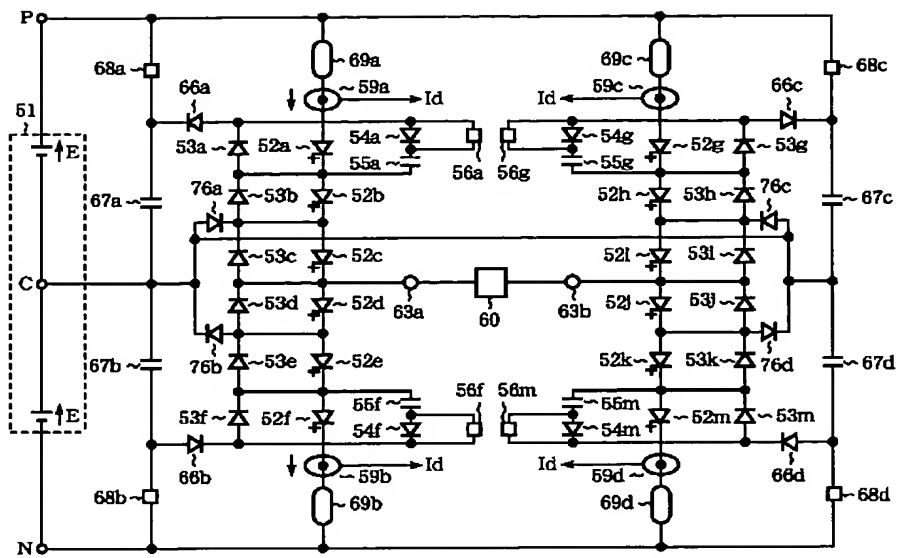
【図13】



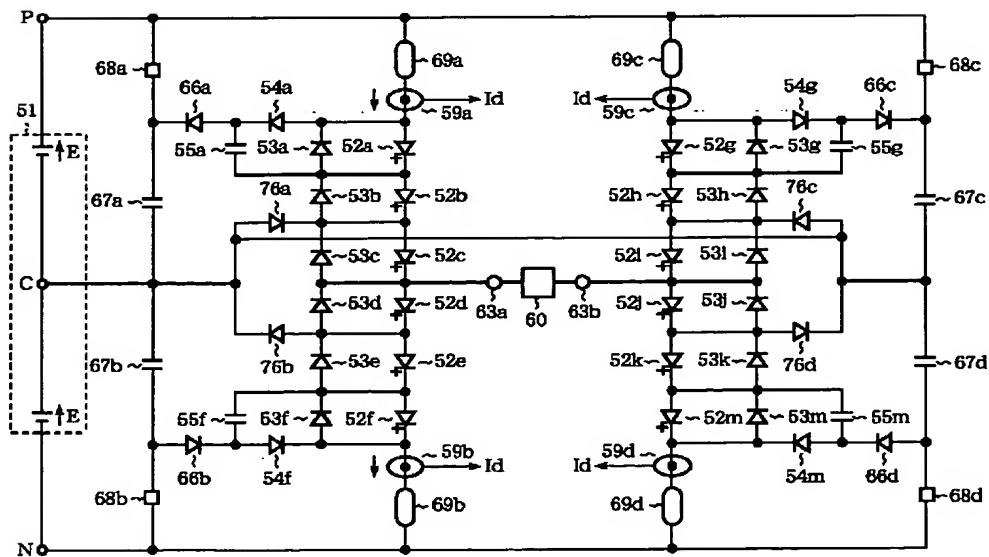
【図16】



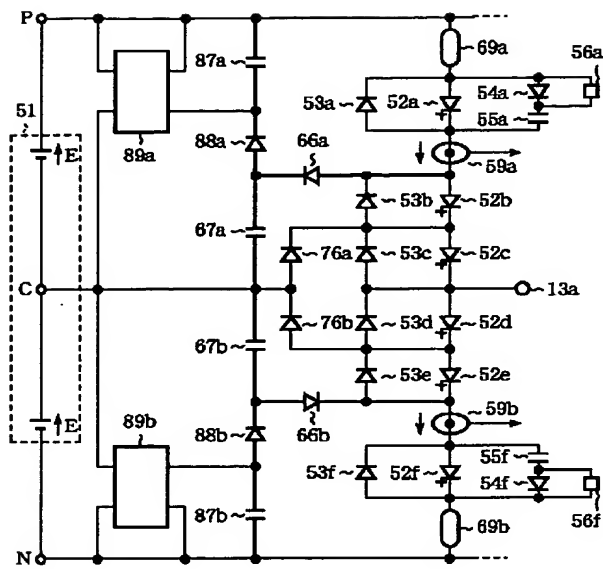
【図 14】



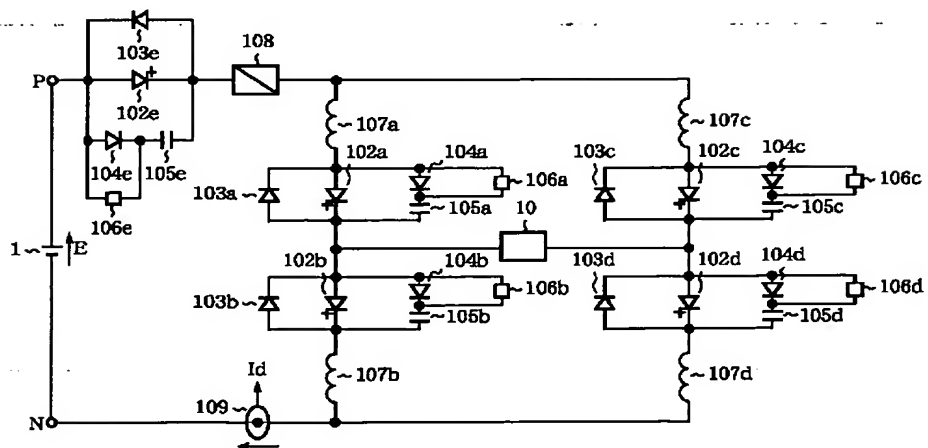
【図 15】



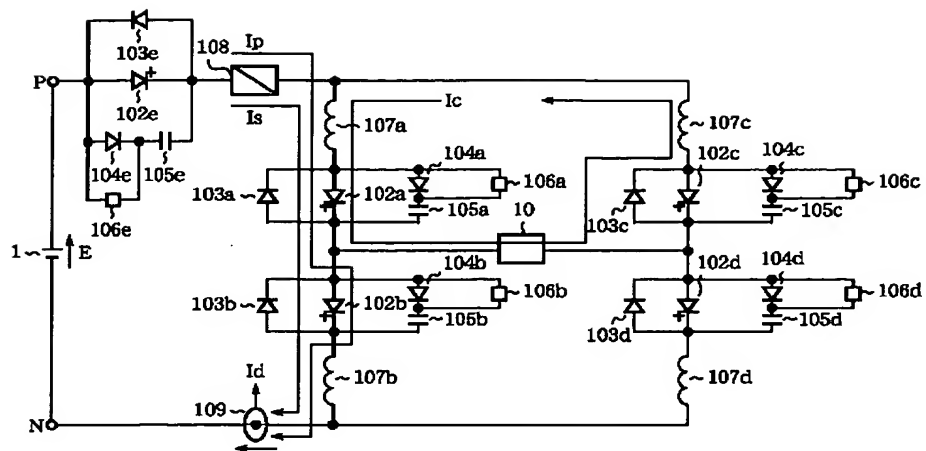
【図 17】



【図 19】



【図 20】



フロントページの続き

(72)発明者 山口 弘昭
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5H007 AA06 AA17 CA05 CB04 CB05
CC04 CC23 DA05 DB01 DC02
EA02 FA03 FA08 FA13 FA19
FA20 GA08